

# MBUF0301 2GHz 10 路输出 超低附加抖动差动时钟缓冲器/电平转换器

## 特性

- 3:1 输入多路复用器
  - 两个通用输入运行频率高达2.1GHz, 且接受LVPECL、LVDS、CML、SSTL、HSTL、HCSL或单端时钟
  - 一个晶体输入可接受 10MHz 至 40MHz 的晶体 或单端时钟
- 分为两组, 每组具有五路差分输出
  - LVPECL, LVDS, HCSL 或高阻态 (每个组可选)
  - 156.25 MHz 时的LVPECL 附加抖动:
    - 21 fs RMS ( 12kHz 至 20MHz )
- 频率范围:
  - LVPECL ( DC 至 2100MHz )
  - LVDS ( DC 至 2100MHz )
  - HCSL ( DC 至 800MHz )
  - LVC MOS ( DC 至 250MHz )
- 通过使能输入提供 LVC MOS 输出
- 由引脚控制的配置
- VCC 内核电源: 3.3V ± 5%
- 三个独立的VCCO 输出电源: 3.3V 或 2.5V ± 5%
- 工业温度范围: -40°C 至 +85°C

## 应用

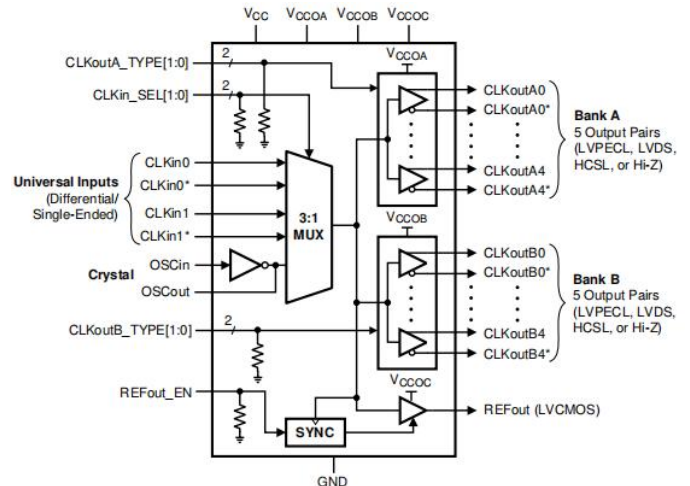
- 面向 ADC、DAC、多千兆以太网、XAUI、光纤通道、SATA/SAS、SONET/SDH、CPRI 和 高频背板的时钟分配和电平转换
  - 交换机、路由器、线路接口卡、定时卡
  - 服务器、计算、PCI express ( PC Ie 3.0、4.0、5.0、6.0 )
  - 远程无线电单元和基带单元

## 说明

MBUF0301 是一款 2.1GHz、10 路输出差动扇出缓冲器, 用于高频、低抖动时钟和数据分配以及电平转换。可从两个通用输入或一个晶振输入中选择输入时钟。所选择的输入时钟被分配到两组输出, 每组输出包含 5 个差分输出和 1 个 LVC MOS 输出。两个差分输出组可被独立配置为 LVPECL, LVDS 或 HCSL 驱动器, 或者被禁用。LVC MOS 输出具有使能控制的功能。MBUF0301 由一个 3.3V 内核电源和三个独立的 3.3V 或 2.5V 输出电源供电运行。

### 封装信息

型号	封装	封装尺寸
MBUF0301	QFN-48	7.00mm × 7.00mm



功能方框图

# 引脚配置

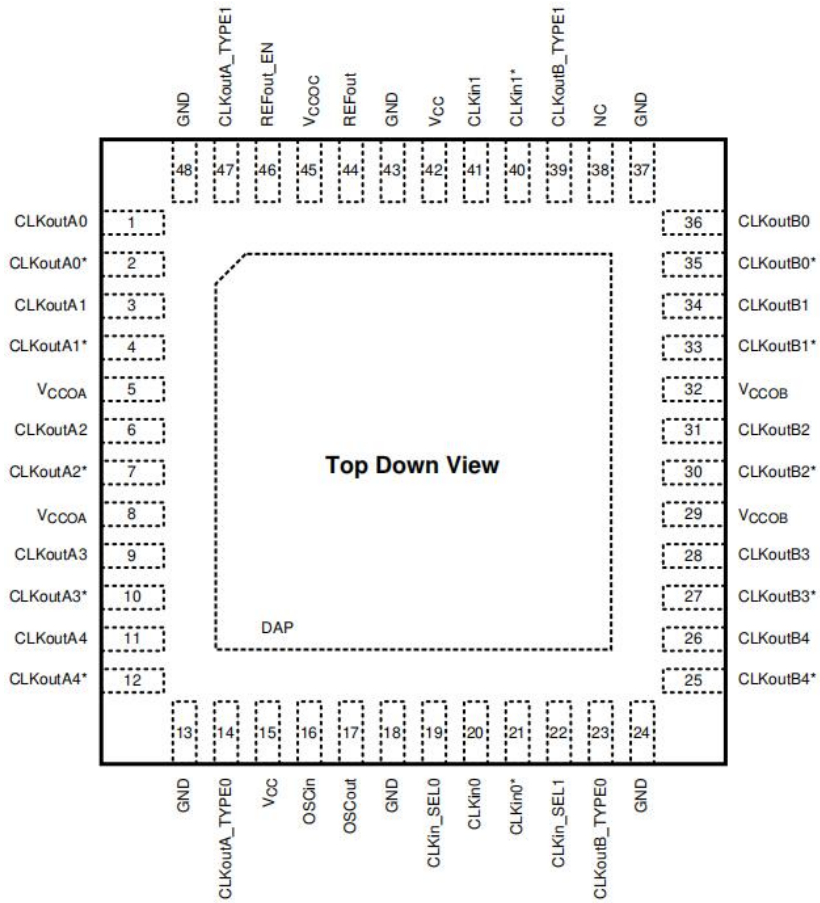


图 引脚配置图

表 引脚功能

引脚		类型	说明
引脚名称	引脚序号		
CLKin_SEL0	19	I	时钟输入选择引脚
CLKin_SEL1	22		
CLKin0	20	I	通用时钟输入 0（差分/单端）。
CLKin0*	21		
CLKin1	40	I	通用时钟输入 1（差分/单端）。
CLKin1*	40		
CLKoutA_TYPE0	14	I	A组输出类型选择引脚
CLKoutA_TYPE1	47		
CLKoutB_TYPE0	23	I	B组输出类型选择引脚
CLKoutB_TYPE1	39		
CLKoutA0	1	O	差分时钟输出A0。输出类型由 CLKoutA_TYPE 引脚设置。
CLKoutA0*	2		
CLKoutA1	3	O	差分时钟输出A1。输出类型由CLKoutA_TYPE引脚设置。
CLKoutA1*	4		
CLKoutA2	6	O	差分时钟输出A2。输出类型由 CLKoutA_TYPE引脚设置。
CLKoutA2*	7		
CLKoutA3	9	O	差分时钟输出A3。输出类型由CLKoutA_TYPE引脚设置。
CLKoutA3*	10		
CLKoutA4	11	O	差分时钟输出A4。输出类型由CLKoutA_TYPE引脚设置。
CLKoutA4*	12		
CLKoutB4*	25	O	差分时钟输出B4。输出类型由CLKoutB_TYPE引脚设置。
CLKoutB4	26		
CLKoutB3*	27	O	差分时钟输出B3。输出类型由 CLKoutB_TYPE引脚设置。
CLKoutB3	28		
CLKoutB2*	30	O	差分时钟输出B2。输出类型由CLKoutB_TYPE引脚设置。
CLKoutB2	31		
CLKoutB1*	33	O	差分时钟输出B1。输出类型由 CLKoutB_TYPE引脚设置。
CLKoutB1	34		
CLKoutB0*	35	O	差分时钟输出B0。输出类型由CLKoutB_TYPE引脚设置。
CLKoutB0	36		
DAP	DAP	GND	芯片地
GND	13, 18, 24, 37, 43, 48	GND	接地
NC	38		未在内部连接。引脚可以浮动、接地或以其他方式连接到绝对最大额定值中规定的电源电压范围内的任何电位。
OScin	16	I	晶体的输入。可以由XO、TCXO或其他外部单端时钟驱动。
OScout	17	O	晶体的输出。如果OScin由单端时钟驱动，则让OScout悬置。
REFout	44	O	LVC MOS 参考输出。通过将REFout_EN引脚拉高来启用输出。
REFout_EN	46	I	REFout使能输入。
VCC	15, 42	PWR	内核和输入缓冲块的电源。VCC电源从3.3V运行。使用非常靠近每个 VCC引脚放置的0.1uF低ESR电容器进行旁路。

VCCOA	5, 8	PWR	A组输出缓冲器的电源。VCCOA可以在3.3V或2.5V下工作。VCCOA引脚在内部连接在一起。使用非常靠近每个VCCO引脚放置的0.1uF低ESR电容器进行旁路
VCCOB	29, 32	PWR	B组输出缓冲器的电源。VCCOB可以在3.3V或2.5V下工作。VCCOB引脚在内部连接在一起。使用非常靠近每个VCCO引脚放置的0.1uF低ESR电容器进行旁路
VCCOC	45	PWR	B组输出缓冲器的电源。VCCOB可以在3.3V或2.5V下工作。VCCOB引脚在内部连接在一起。使用非常靠近每个VCCO引脚放置的0.1uF低ESR电容器进行旁路。

注:

- (1) 输出电源电压或引脚（VCCOA、VCCOB、VCCOC）通常成为VCCO。
- (2) 未使用的输出尽可能禁用或设置为Hi-Z。

## 绝对最大额定值

符号	描述	最小值	最大值	单位
V <sub>CC</sub>	电源电压	-0.3	3.6	V
V <sub>CCO</sub>	输出电源电压	-0.3	3.6	V
V <sub>IN</sub>	输入电压	-0.3	V <sub>DD</sub> +0.3	V

## 建议工作条件

符号	描述	最小值	典型值	最大值	单位
T <sub>A</sub>	环境温度	-40	25	85	°C
V <sub>CC</sub>	电源电压	3.15	3.3	3.45	V
V <sub>CCO</sub>	输出电源电压	3.3-5%	3.3	3.3+5%	V
		2.5-5%	2.5	2.5+5%	

注:

(1) 当不需要区分时, 或者当输出电源可以从输出组/类型推断时, 输出电源电压或引脚 (V<sub>CCOA</sub>、V<sub>CCOB</sub>和V<sub>CCOC</sub>) 通常称为 V<sub>CCO</sub>。

(2) V<sub>CCO</sub>应小于或等于 V<sub>CC</sub> (V<sub>CCO</sub> ≤ V<sub>CC</sub>)

## ESD额定值

符号	描述	条件	额定值	单位
V <sub>ESD</sub>	静电放电	静电放电人体模型 (HBM)	±2000	V
		静电放电充电设备模型 (CDM)	±1000	V

## 电气特性

（除非另有说明： $V_{CC} = 3.3\text{ V} \pm 5\%$ ， $V_{CCO} = 3.3\text{ V} \pm 5\%$ ， $2.5\text{ V} \pm 5\%$ ， $-40^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ ，CLKin差分驱动，输入压摆率 $\geq 3\text{ V/ns}$ 。）在差分方面，输入压摆率 $\geq 3\text{ V/ns}$ 。典型值条件为代表在 $V_{CC} = 3.3\text{ V}$ 、 $V_{CCO} = 3.3\text{ V}$ 、 $T_A = 25^\circ\text{C}$ ）

符号	参数	测试条件		最小值	典型值	最大值	单位
<b>电流功耗</b>							
I <sub>CC_CORE</sub>	内核电源电流，所有输出均禁用	选择CLKinX			44		mA
		选择OScin			38		mA
I <sub>CCO_PECL</sub>	附加内核电源电流，每个LVPECL组启用	括每组输出的偏置和负载电流，每组输出均RT = 50Ω接到V <sub>CCO</sub> - 2V			160	182	mA
I <sub>CCO_LVDS</sub>	附加输出电源电流，每个LVDS组启用	RL=100Ω差分			60		mA
I <sub>CCO_HCSL</sub>	附加输出电源电流，每个HCSL组启用	包括每组输出的偏置和负载电流，每组输出均RT = 50Ω对地	V <sub>CCO</sub> = 3.3 V ± 5%		100		mA
I <sub>CCO_CMOS</sub>	附加输出电源电流，LVCMOS输出使能	200 MHz, CL = 5 pF	V <sub>CCO</sub> = 3.3 V ± 5%		12		mA
<b>CMOS 控制输入 (CLKin_SELn, CLKoutX_TYPEn, REFOut_EN)</b>							
V <sub>IH</sub>	高电平输入电压			1.6			V
V <sub>IL</sub>	低电平输入电压					0.4	V
<b>时钟输入 (CLKin0/CLKin0*, CLKin1/CLKin1*)</b>							
f <sub>CLKin</sub>	输入频率范围	高达2.1GHz，每种输出类型指定的输出频率范围和时序（请参阅LVPECL、LVDS、HCSL、LVCMOS输出规范）		DC		2.1	GHz
V <sub>IHD</sub>	差分输入高电压	CLKin差分驱动				V <sub>DD</sub>	V
V <sub>ILD</sub>	差分输入低电压			GND			V
V <sub>ID</sub>	差分输入摆幅			0.15		1.3	V
V <sub>CMD</sub>	差分输入共模电压	VID = 150 mV		0.25		V <sub>DD</sub> -1.2	V
		VID = 350 mV		0.25		V <sub>DD</sub> -1.1	
		VID = 800 mV		0.25		V <sub>DD</sub> -0.9	
V <sub>IH</sub>	单端输入高电压	CLKinX驱动单端（AC或DC耦合），CLKinX* AC耦合到地或外部偏置在VCM范围内				V <sub>DD</sub>	V
V <sub>IL</sub>	单端输入低电压			GND			V

$V_{I\_SE}$	单端输入电压摆幅		0.3		2	$V_{pp}$
$V_{CM}$	单端输入共模电压		0.25		$V_{dd}-1.2$	V
<b>晶体接口 (OSCin, OSCout)</b>						
$F_{CLK}$	外部时钟频率范围	OSCin 单端输入			250	MHz
$F_{XTAL}$	晶体频率范围	基本模式晶体 $ESR \leq 200 \Omega$ (10 to 30 MHz) $ESR \leq 125 \Omega$ (30 to 40 MHz)	10		40	MHz
<b>LVPECL 输出 (CLKoutAn/CLKoutAn*, CLKoutBn/CLKoutBn*)</b>						
$f_{CLKout\_FS}$	最大输出频率, 全VOD 摆幅	VOD $\geq 600$ mV, RL = 100 $\Omega$ 差分	$V_{cco} = 3.3 V \pm 5\%$ , RT = 160 $\Omega$ 对地	1.0	1.2	GHz
			$V_{cco} = 2.5 V \pm 5\%$ , RT = 91 $\Omega$ 对地	0.75	1.0	
$f_{CLKout\_RS}$	最大输出频率, 降低VOD 摆幅	VOD $\geq 400$ mV, RL = 100 $\Omega$ 差分	$V_{cco} = 3.3 V \pm 5\%$ , RT = 160 $\Omega$ 对地	1.5	2	GHz
			$V_{cco} = 2.5 V \pm 5\%$ , RT = 91 $\Omega$ 对地		1.5	
Jitter <sub>ADD</sub>	附加RMS抖动, BW = 10KHz至20MHz	$V_{cco} = 2.5 V \pm 5\%$ : RT = 91 $\Omega$ 对地, $V_{cco} = 3.3 V \pm 5\%$ : RT = 160 $\Omega$ 对地, RL = 100 $\Omega$ 差分	CLKin: 100 MHz, 压摆率 $\geq 3$ V/ns		31	fs
			CLKin: 156.25 MHz, 压摆率 $\geq 3$ V/ns		28	
Jitter <sub>ADD</sub>	附加RMS抖动, BW = 1MHz至20MHz	$V_{cco} = 3.3 V$ , RT = 160 $\Omega$ 对地, RL = 100 $\Omega$ 差分	CLKin: 100 MHz, 压摆率 $\geq 3$ V/ns		40	fs
			CLKin: 156.25 MHz, 压摆率 $\geq 2.7$ V/ns		35	
			CLKin: 625 MHz, 压摆率 $\geq 3$ V/ns		30	
DUTY	占空比	输入时钟占空比50%	45		55	%
$V_{OH}$	输出高电压	$T_A = 25^\circ C$ , 直流测量, $R_T = 50 \Omega$ 至 $V_{dd0} - 2 V$			$V_{dd}-0.9$	V
$V_{OL}$	输出低电压				$V_{dd}-1.7$	V
$V_{OD}$	输出电压摆幅		600	850	950	mV
$t_R$	输出上升时间, 20%至80%	Rterm = 160 $\Omega$ 对地, 传输线具有50 $\Omega$ 特性阻抗, $R_L = 100 \Omega$ 差分, $C_L \leq 5pF$			220	ps
$t_F$	输出下降时间, 80%至20%				220	ps
<b>LVDS 输出 (CLKoutAn/CLKoutAn*, CLKoutBn/CLKoutBn*)</b>						
$f_{CLKout\_FS}$	最大输出频率, 全VOD摆幅。	VOD $\geq 250$ mV, RL = 100 $\Omega$ 差分。	1.0	1.37		GHz

$f_{\text{CLKout\_RS}}$	最大输出频率, 降低 VOD 摆幅。	VOD $\geq 200$ mV, RL = 100 $\Omega$ 差分。		1.52		GHz
DUTY	输出占空比	输入时钟占空比 50%。		45%	55%	
VOD	输出电压摆幅			250	400	450 mV
$t_{\text{R}}$	输出上升时间, 20%至80%。	长达10英寸的均匀传输线, 具有50 $\Omega$ 特性阻抗, RL = 100 $\Omega$ 差分, CL $\leq$ 5pF。		300		ps
$t_{\text{F}}$	输出下降时间, 80%至20%。			300		ps
<b>HCSL 输出 (CLKoutAn/CLKoutAn*, CLKoutBn/CLKoutBn*)</b>						
$f_{\text{CLKout}}$	输出频率范围	RL = 50 $\Omega$ 接地, CL $\leq 5$ pF		50M	800	MHz
Jitter <sub>ADD</sub>	附加RMS抖动, BW = 1MHz 至 20MHz (6)	V <sub>cco</sub> = 3.3 V, RT = 50 $\Omega$ 接地	CLKin: 100 MHz, 压摆率 $\geq 3$ V/ns	65		fs
			CLKin: 156.25 MHz, 压摆率 $\geq 2.7$ V/ns	56		
Noise Floor	本底噪声, f <sub>OFFSET</sub> $\geq 10$ MHz	V <sub>cco</sub> = 3.3 V, RT = 50 $\Omega$ 接地	CLKin: 100 MHz, 压摆率 $\geq 3$ V/ns	-156.8		dBc/Hz
			CLKin: 156.25 MHz, 压摆率 $\geq 2.7$ V/ns	-156.3		
DUTY	输出占空比	输入时钟占空比 50%	CLKin $\leq 400$ MHz	45%	55%	
V <sub>OH</sub>	输出高电压	TA = 25°C, 直流测量		790		mV
V <sub>OL</sub>	输出低电压			-150	0.5	150
$t_{\text{R}}$	输出上升时间, 20%至80%	工作频率为250MHz, 传输线具有50 $\Omega$ 特性阻抗, RL = 50 $\Omega$ 对地, CL $\leq 5$ pF		600		ps
$t_{\text{F}}$	输出下降时间, 80%至20%			600		ps
<b>LVC MOS 输出 (REFout)</b>						
$f_{\text{CLKout}}$	输出频率范围	CL $\leq 5$ pF		DC	250	MHz
Jitter <sub>ADD</sub>	附加RMS抖动, BW = 1MHz 至 20MHz	V <sub>cco</sub> = 3.3 V, CL $\leq 5$ pF	100 MHz, 压摆率 $\geq 3$ V/ns	80		fs
Noise Floor	本底噪声, f <sub>OFFSET</sub> $\geq 10$ MHz	V <sub>cco</sub> = 3.3 V, CL $\leq 5$ pF	100 MHz, 压摆率 $\geq 3$ V/ns	-158.1		dBc/Hz
DUTY	输出占空比	输入时钟占空比 50%		45	55	%
V <sub>OH</sub>	输出高电压	1 mA 负载		V <sub>ddo</sub> -0.1		V
V <sub>OL</sub>	输出低电压			0.1		V
I <sub>OH</sub>	输出高电流 (拉出)	V <sub>o</sub> = V <sub>cco</sub> / 2		V <sub>cco</sub> = 3.3 V	28	mA
				V <sub>cco</sub> = 2.5 V	20	
I <sub>OL</sub>	输出低电流 (灌入)	V <sub>o</sub> = V <sub>cco</sub> / 2		V <sub>cco</sub> = 3.3 V	28	mA
				V <sub>cco</sub> = 2.5 V	20	
$t_{\text{R}}$	输出上升时间, 20%至80%	250MHz, 长达10英寸的均匀传输线, 具有50 $\Omega$ 特性阻抗, RL = 50 $\Omega$ 对地, CL $\leq 5$ pF		300		400 ps
$t_{\text{F}}$	输出下降时间, 80%至20%			300		400 ps

**传播延迟和输出偏斜**

$t_{SK(PP)}$	器件间输出偏移 LVPECL/LVDS/HCSL	在具有相同缓冲器类型的任何两个 CLKout之间指定的偏移。每种输出类型的负载条件与传播延迟规格相同。	300	ps
--------------	-----------------------------	---	-----	----

注:

- (1) 有关 VID 和 VOD 电压的定义, 请参阅差分电压测量术语。
- (2) 对于 100MHz 和 156.25MHz 时钟输入条件, 附加 RMS Jitter (JADD ) 使用方法 #1 计算:  $JADD = \sqrt{JOUT * JOUT - JSOURCE * JSOURCE}$ , 其中 JOUT 是在输出驱动器和 J SOURCE 处测量的总 RMS 抖动是应用于时钟源的 RMS 抖动时钟输入。对于 625MHz 时钟输入条件, 附加 RMS 抖动使用方法 #2 进行近似计算:  $JADD = \sqrt{2 * 10 \text{ dBc} / 10} / (2 * \pi * f_{CLK})$ , 其中 dBc 是从 1MHz 到 20 MHz 带宽集成的输出噪声底的相位噪声功率。相位噪声功率可以计算为:  $\text{dBc} = \text{噪底} + 10 * \log_{10}(20\text{MHz} - 1\text{MHz})$ 。附加 RMS 抖动近似为 625MHz 使用方法 #2, 因为时钟源的 RMS 抖动不够低, 无法实际使用方法 #1。
- (3) 156.25 MHz LVPECL 时钟源的抖动为 164fs RMS (12 kHz 至 20 MHz)。
- (4) 输出缓冲器的噪底测量为缓冲器的远端相位噪声。通常这个偏移是  $\geq 10\text{MHz}$ , 但对于由于测量设备的限制的较低频率, 这个测量偏移可以低至 5MHz。
- (5) 随着时钟输入压摆率的降低, 噪底会降低。与单端时钟相比, 差分时钟输入 (LVPECL, LVDS) 由于其共模噪声抑制, 在较低压摆率下噪底将不太容易下降。但是, 建议对差分时钟使用尽可能高的输入压摆率, 以实现最佳的噪底。
- (6) HCSL 或 CMOS 的交流时序参数取决于输出容性负载。
- (7) 输出偏斜是在相同的电源电压和温度条件下工作时具有相同输出缓冲器类型和相同负载的任何两个输出之间的传播延迟差。
- (8) 罗德与施瓦茨 SMA100B 低噪声信号发生器和正弦到方波转换模块的 100 MHz 和 156.25 MHz 输入源。
- (9) 对于  $\geq 100\text{MHz}$  的时钟输入频率, CLKinX 可以由高达 3.3VPP 的单端 (LVCMOS) 输入摆幅驱动。时钟输入频率  $< 100\text{MHz}$ , 单端输入摆幅应限制在 2VPP max 以防止输入饱和。

## 典型特性

除非另有说明， $V_{CC} = 3.3V$ ， $V_{CCO} = 3.3V$ ， $T_A = 25^\circ C$ ，CLKin 差分驱动，输入压摆率  $\geq 3V/ns$ 。

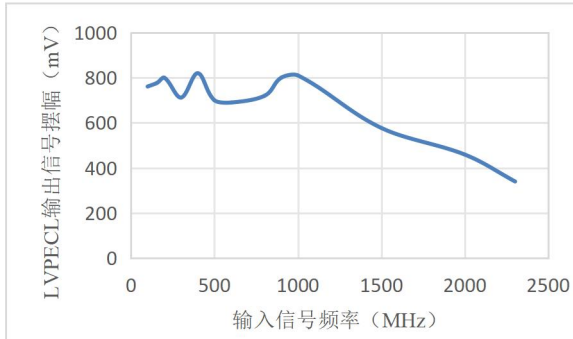


图 2. LVPECL 输出摆幅 (VOD) 与频率关系

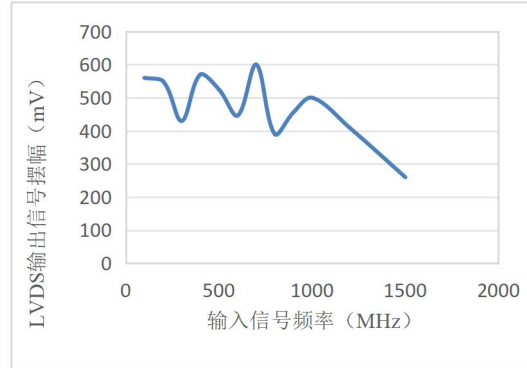


图 3. LVDS 输出摆幅 (VOD) 与频率关系

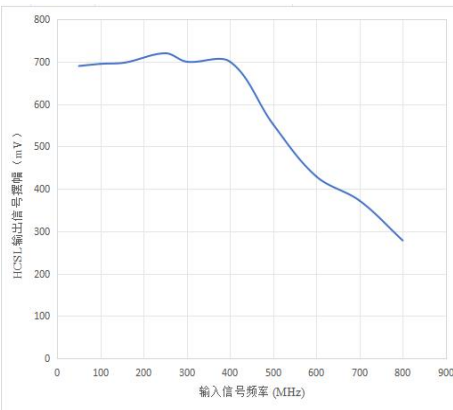


图 4. HCSL 输出摆幅 (VOD) 与频率关系

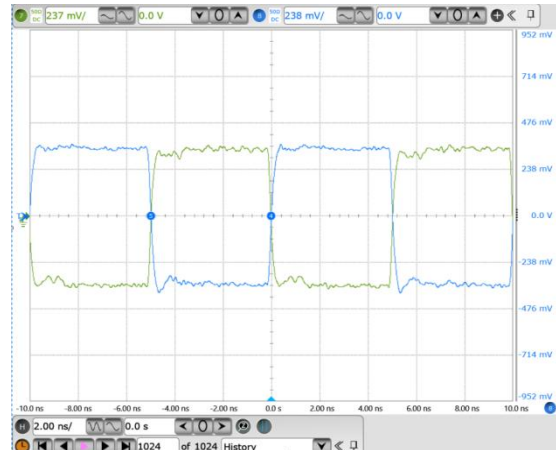


图 5. 100 MHz LVPECL 输出摆幅

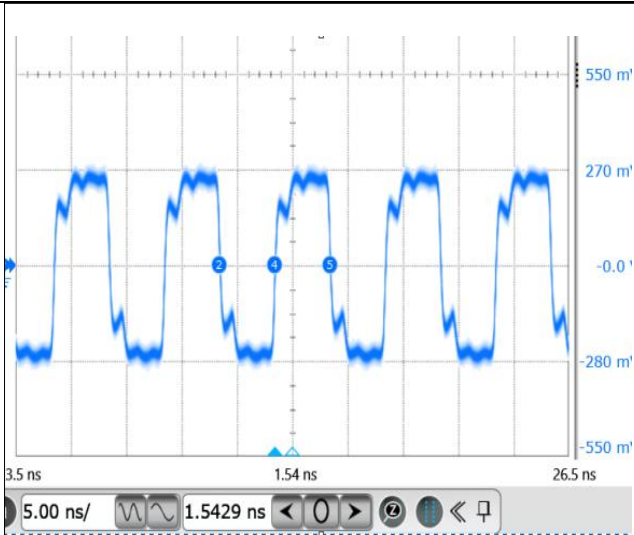


图6. 100 MHz LVDS 输出摆幅

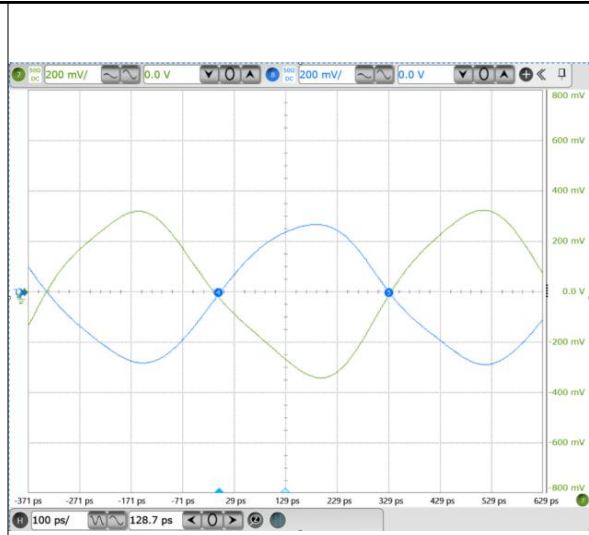


图7. 1.5 GHz LVPECL 输出摆幅

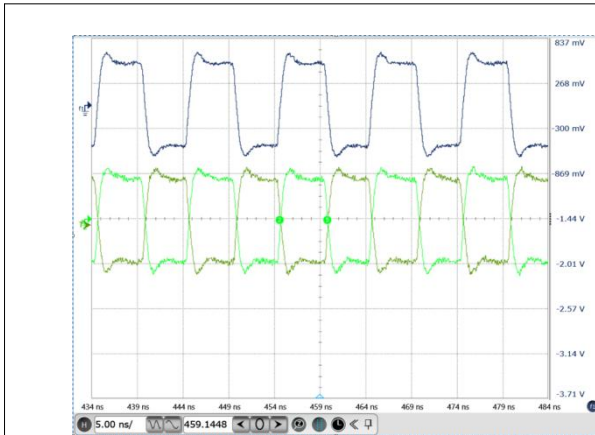


图8. 100MHz HCSSL输出摆幅

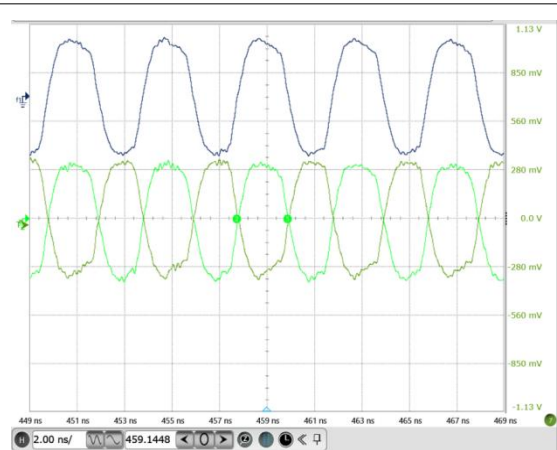


图9. 250 MHz HCSSL 输出摆幅

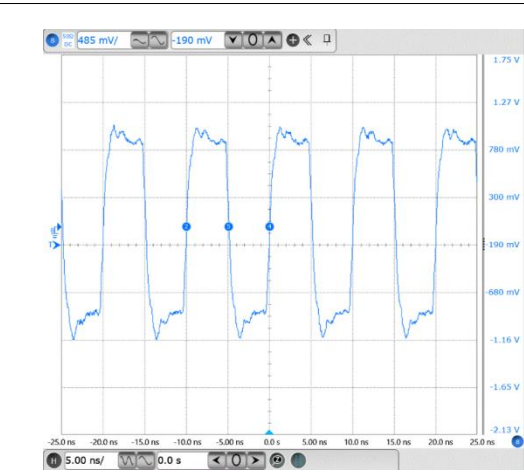
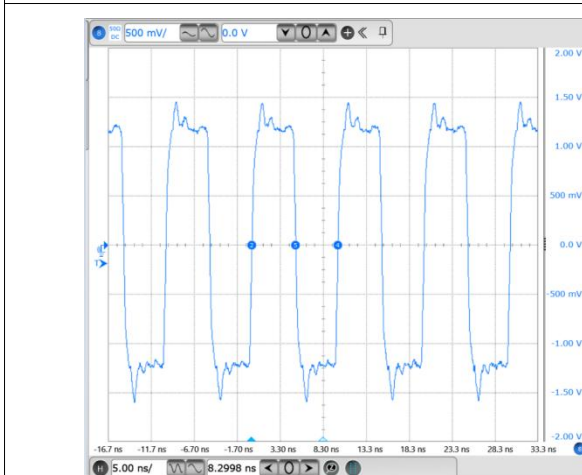


图 10. 3.3 V 100 MHz LVCMOS 输出摆幅

图 11. 2.5 V 100MHz时LVCMOS 输出摆幅

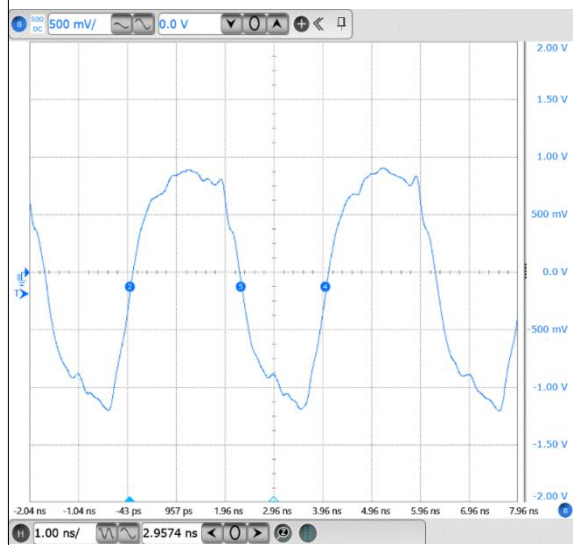
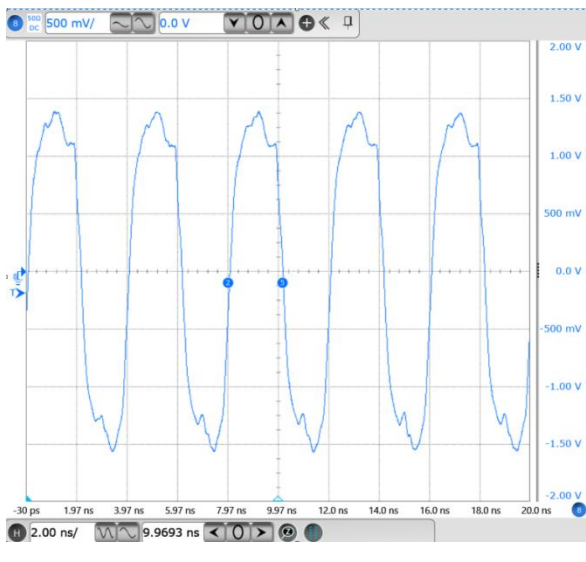


图 12. 3.3 V 250 MHz LVCMOS 输出摆幅

图 13. 250MHz LVCMOS输出波形

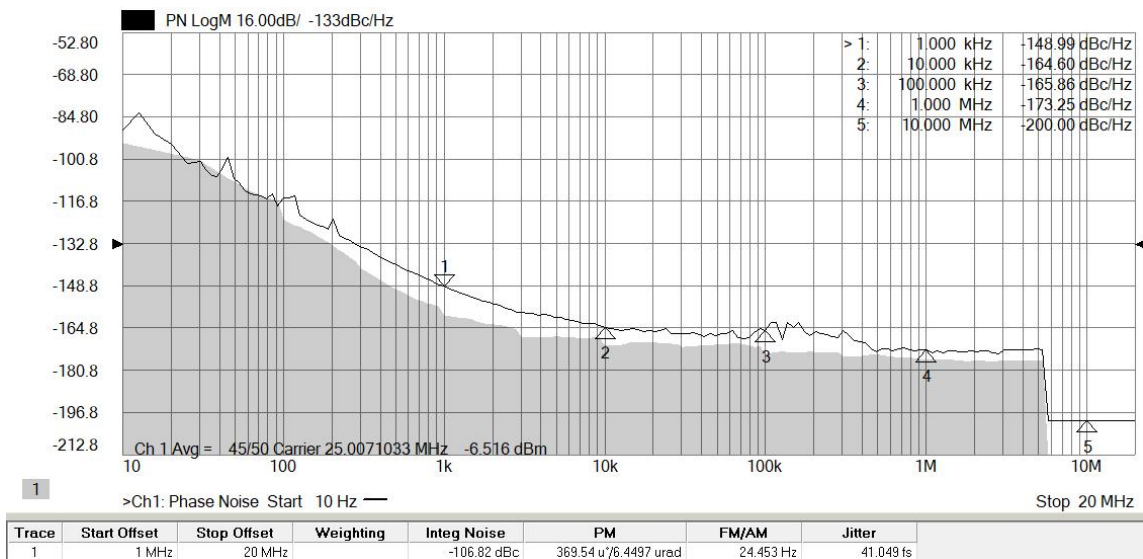


图 14. 晶体模式下的LVDS相位噪声

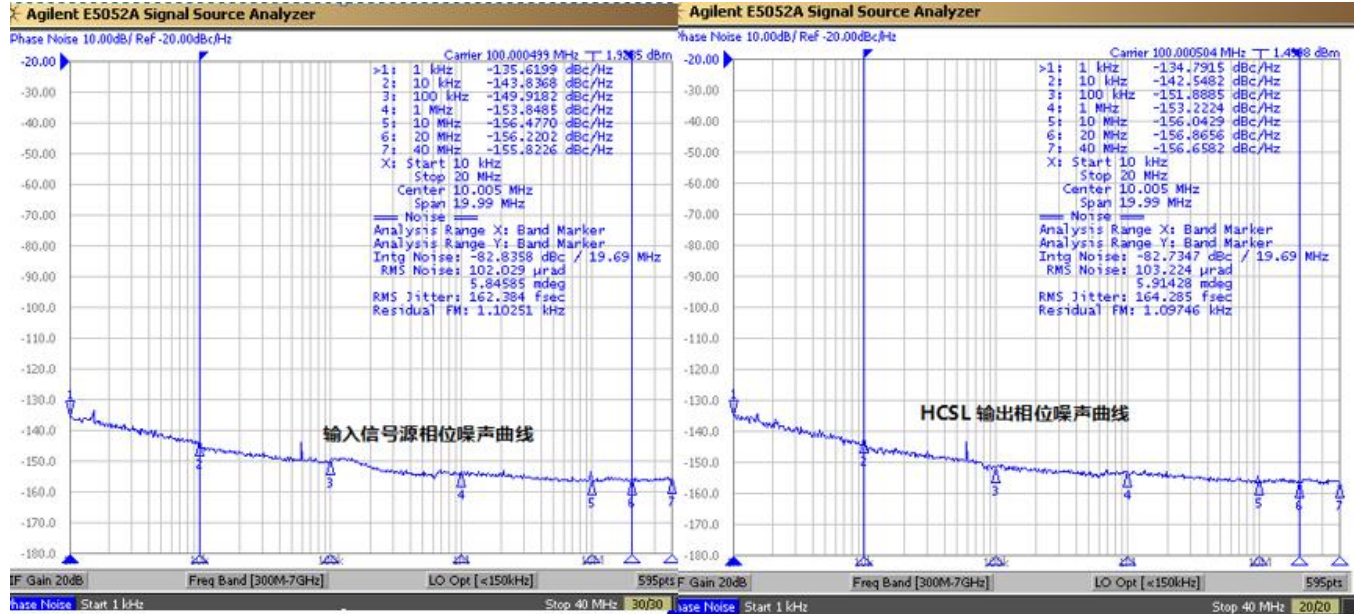


图 15. 100 MHz HCSL相位噪声

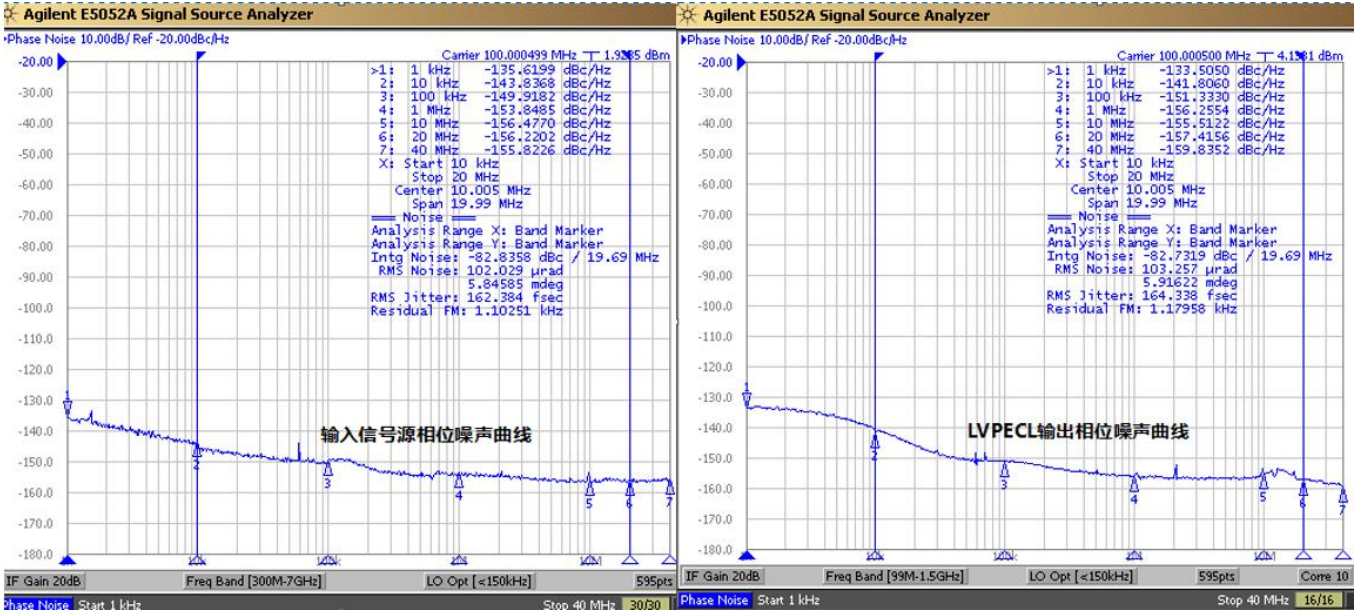


图 16. 100 MHz LVPECL 相位噪声

## 功能描述和应用

### 概述

MBUF0301是一款10路输出差分时钟扇出缓冲器，具有超低附加抖动，可在高达2.1GHz的频率下工作。它具有一个3:1输入多路复用器和一个可选的晶体振荡器输入、两组5路差分输出缓冲器具有多种模式（LVPECL、LVDS、HCSL或Hi-Z）、1个LVCMOS输出和3个独立的输出缓冲器电源。输入选择和输出模式通过引脚进行控制。该器件提供一个48引脚WQFN封装形式。

### 制作工艺

MBUF0301基于180nm CMOS工艺设计。

### 功能框图

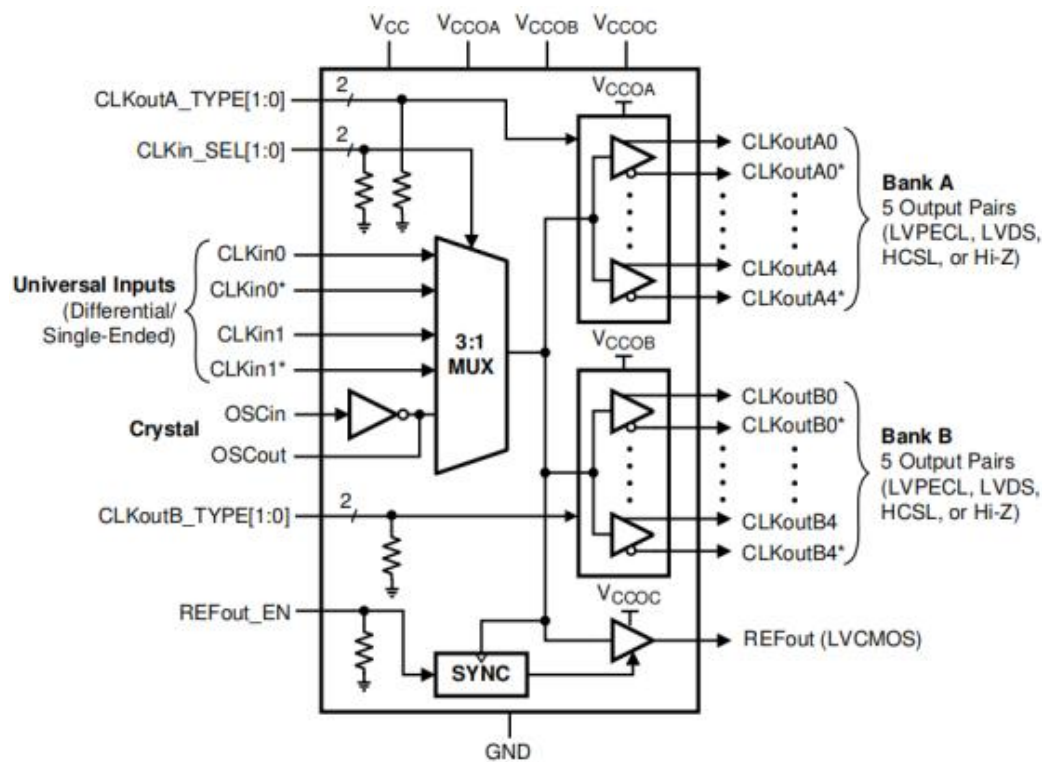


图 19. 功能框图

## VCC 和 VCCO 电源

MBUF0301具有独立的3.3V内核电源（VCC）和3个独立的3.3V或2.5V输出电源（VCCOA，VCCOB和VCCOC）电源。2.5V输出电源操作可降低功耗且输出电平可与2.5V接收器设备相兼容。LVPECL（VOH, VOL）和LVCMOS（VOH）的输出电平参考其各自的VCCO电源，而LVDS和HCSL的输出电平在指定的VCCO范围内相对恒定。注意确保VCCO电压不超过VCC电压，以防止打开内部ESD保护电路。

## 时钟输入

输入时钟可从CLKin0/CLKin0\*、CLKin1/CLKin1\*或OSCin中选择。时钟输入选择使用CLKin\_SEL[1:0]输入进行控制，如表2所示。有关时钟输入要求，请参阅驱动时钟输入。当选择CLKin0或CLKin1时，晶体电路断电。当选择OSCin（晶体模式）时，晶体振荡器电路启动，时钟被分配到所有输出。此外，OSCin也可以由高达250MHz的单端时钟驱动用以替代晶体。

表2 输入选择

CLKin_SEL1	CLKin_SEL0	选定的输入
0	0	CLKin0, CLKin0*
0	1	CLKin1, CLKin1*
1	X	OSCin（晶体模式）

## 时钟输出

A组和B组输出的差分输出缓冲器类型可以使用CLKoutA\_TYPE[1:0]和CLKoutB\_TYPE[1:0]输入分别配置，如表3所示。对于不需要所有差分输出的应用程序，任何未使用的输出引脚都应悬置，并使用最少的铜线长度（见下面的注释），以尽量减少电容和潜在耦合并降低功耗。如果将不会使用整个输出组，建议禁用（Hi-Z）该组以降低功率。

表3. 差分输出缓冲器类型选择

CLKoutX_TYPE1	CLKoutX_TYPE0	CLKoutX缓冲器类型（A组或B组）
0	0	LVPECL
0	1	LVDS
1	0	HCSL
1	1	禁用(Hi-Z)

## 参考输出

参考输出（REFout）提供所选输入时钟的LVCMOS副本。LVCMOS输出的高电平以VCCO电压为参考。REFout可以使用启用输入引脚REFout\_EN启用或禁用，如表4所示。

表 4. 参考输出使能

REFout_EN	REFout 状态
0	禁用 (Hi-Z)
1	启用

为实现最佳相位噪声和抖动性能，建议输入具有3V/ns的高压摆率（差分）或更高。以较高的压摆率驱动输入会降低噪底和抖动。出于这个原因，建议使用差分输入信号而不是单端信号，因为它通常提供更高的压摆率和共模噪声抑制。

当电气特性中列出的CLKin引脚的单端输入规范符合时，则可以使用单端时钟驱动它。对于大的单端输入信号，例如3.3V或2.5V LVCMOS，应在输入附近放置一个50Ω负载电阻，用于信号衰减以防止输入过驱动以及用于线路端接以最大程度地减少反射。CLKin输入具有大约0.6V的内部偏置电压，因此输入可以进行交流耦合，如图20所示。LVCMOS驱动器的输出阻抗加上RS应为50Ω，以匹配传输线和负载终端的特性阻抗。

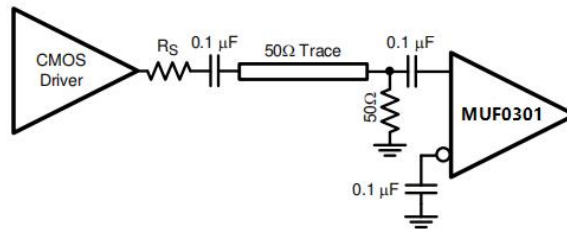


图 20. 单端LVCMOS输入，交流耦合

单端时钟也可以直流耦合到CLKinX，如图所示。应在CLKinX输入附近放置一个50Ω负载电阻，用于信号衰减和线路端接。因为一半的单端摆动驱动器（ $V_{O,PP}/2$ ）驱动CLKinX，CLKinX\*应外部偏置到衰减输入摆幅的中点电压（ $(V_{O,PP}/2) \times 0.5$ ）。外部偏置电压应在规定的输入公共电压（VCM）范围内。这可以通过使用kΩ范围内的外部偏置电阻（RB1和RB2）或其他低噪声电压基准来实现。这将确保输入摆幅在输入摆率最高的点处于阈值电压以内。如果LVCMOS驱动器在CLKinX输入端的DC端接50Ω负载时无法实现足够的摆幅，如图21所示，则考虑通过电容器将50Ω负载端接地。这种交流终端阻断了驱动器上的直流负载电流，因此输入端的电压摆幅由源极（ $R_o+R_s$ ）和50Ω负载电阻形成的分压器确定，MBUF0301的输入共模此时由内部自偏置提供。

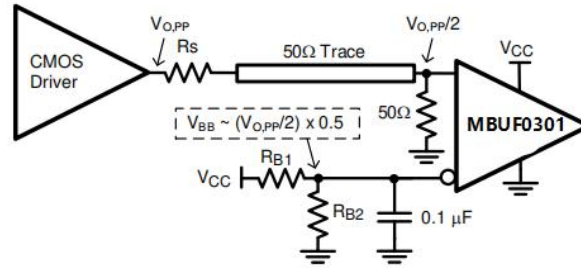


图 21. 单端LVCMOS输入，具有共模偏置功能的直流耦合

如果不使用晶体电路，可以使用单端外部时钟驱动OSCin输入，如图22所示。输入时钟应交流耦合到OSCin引脚，该引脚内部产生输入偏置电压，并且OS Cout引脚应保持悬置。虽然OSCin提供了一个可选的输入来复用外部时钟，还是建议使用任一差分输入（CLKinX），因为它提供更高的工作频率，更好的共模，改进的电源噪声抑制并在电源电压和温度变化时具有更高的性能。

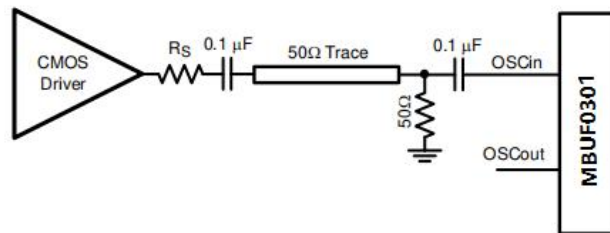


图 22. 使用单端输入驱动 OSCin

## 晶体接口

MBUF0301有一个集成的晶体振荡器电路，支持无源晶体，AT-cut晶体。晶体接口如图23所示。

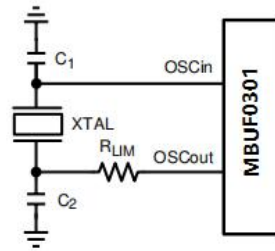


图 23. 晶体接口

负载电容 ( $C_L$ ) 取决于晶体，但通常在18到20pF的数量级。虽然 $C_L$ 是为晶体指定的，但器件的OSCin输入电容 ( $C_{IN} = 1\text{pF}$  典型值) 和PCB杂散电容 ( $C_{STRAY} \sim 1$ 至 $3\text{pF}$ ) 会影响分立负载电容值 $C_1$ 和 $C_2$ 。对于并联谐振电路，分立电容值可以计算如下：

$$C_L = (C_1 \times C_2) / (C_1 + C_2) + C_{IN} + C_{STRAY}$$

通常， $C_1 = C_2$ 以获得最佳对称性，因此上面等式可以仅根据 $C_1$ 重写：

$$C_L = C_1 * C_1 / (2 \times C_1) + C_{IN} + C_{STRAY}$$

求解 $C_1$ ：

$$C_1 = (C_L - C_{IN} - C_{STRAY}) \times 2$$

电气特性提供了晶体接口规格以及确保晶体启动的条件，但没有指定晶体功率耗散。设计人员需要确保晶振功耗不超过晶振制造商指定的最大驱动电平。过度驱动晶体会导致过早老化、频率偏移和最终失效。驱动器电平应保持在启动和保持稳态运行所需的足够电平。

晶体中耗散的功率  $P_{XTAL}$  可以通过以下公式计算：

$$P_{XTAL} = I_{RMS}^2 \times R_{ESR} \times (1 + C_0/C_L)^2$$

这里：

- $I_{RMS}$  是通过晶体的RMS电流。
- $R_{ESR}$  是为晶体指定的最大等效串联电阻。
- $C_L$  是为晶体指定的负载电容。
- 是为晶体指定的最小并联电容。

$I_{RMS}$  可以使用电流探头（例如泰克CT-6或同等产品）测量，该探头放置在连接到OSCout且振荡电路处于活动状态的晶体引脚上。

如图23所示，如有必要，可以使用外部电阻 $R_{LIM}$ 来限制晶体驱动电平。如果所选晶体的功耗高于 $R_{LIM}$ 短路时为晶体指定的驱动电平，则必须使用更大的电阻值以避免晶体过驱动。但是，如果晶体中的功耗小于 $R_{LIM}$ 短路时的驱动电平，则可以使用 $R_{LIM}$ 的零值。作为起点， $R_{LIM}$ 的建议值为 $3.0\text{k}\Omega$ 。

## 时钟驱动器的终止和使用

在端接时钟驱动器时，为了获得最佳相位噪声和抖动性能：

- 应遵循传输线理论以获得良好的阻抗匹配以防止反射。
- 时钟驱动器应具有适当的负载。
  - LVDS 输出是电流驱动器，需要闭合电流环路。
  - HCSL 驱动器是开关电流输出，需要通过  $50\ \Omega$  端接的直流路径接地。
  - LVPECL 输出是开路发射极，需要一条直流接地路径。

• 为了正常运作，接收器应提供偏置到其指定直流偏置电平（共模电压）的信号。一些接收器具有自动偏置到适当电压的自偏置输入，在这种情况下，信号通常应该是交流耦合的。

## 直流耦合差分操作的端接

对于LVDS驱动器的直流耦合操作，端接 $100\ \Omega$ ，尽可能靠近LVDS接收器，如图24所示。

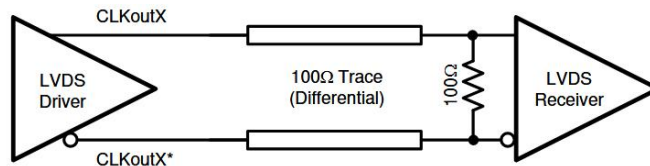


图 24. 差分LVDS操作，直流耦合，接收器无偏置

对于HCSL驱动器的直流耦合操作，在驱动器输出附近以 $50\ \Omega$ 对地端接，如图所示在图25。

由于快速瞬态电流，串联电阻 $R_s$ 可用于限制过冲。串联电阻  $R_s$  可用于限制由于快速瞬态电流导致的过冲， $R_s$  可以取  $33\ \Omega$ 。因为HCSL驱动器需要一个接地的直流路径，输出驱动器和输出驱动器之间不允许交流耦合 $50\ \Omega$ 终端电阻。

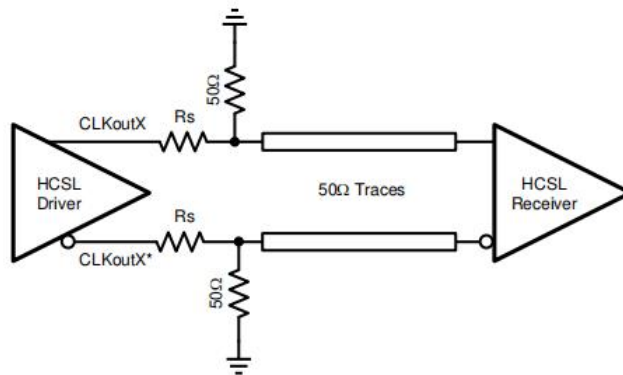


图 25. HCSL 驱动模式，直流耦合

对于LVPECL驱动器的直流耦合操作，以 $50\Omega$ 端接至 $V_{CCO} - 2V$ ，如图26所示。或者采用戴维南等效电路进行端接，如图27所示用于 $V_{CCO} = 3.3V$ 和 $2.5V$ 。在戴维南等效电路中，电阻分压器设置输出端接电压（ $V_{TT}$ ）等于 $V_{CCO} - 2V$ 。

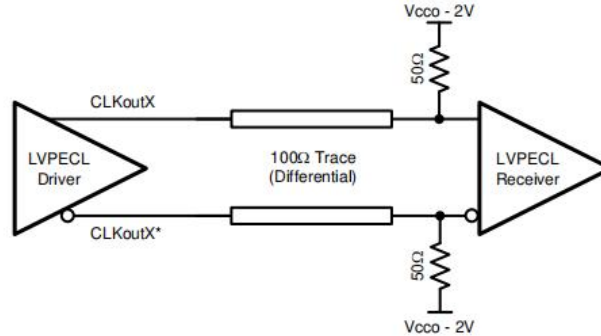


图 26. LVPECL工作模式，直流耦合

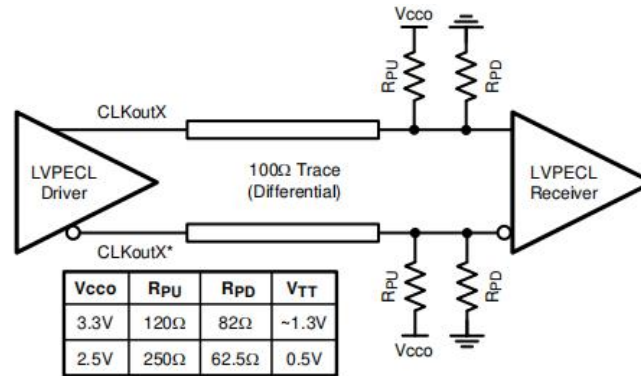


图 27. LVPECL工作模式，直流耦合，戴维南等效

## 交流耦合差分操作的端接

交流耦合允许在驱动不同的接收器时改变直流偏置电平（共模电压）标准。由于交流耦合会阻止驱动器在接收器上提供直流偏置电压，因此确保接收器偏置到其理想的直流电平是很重要的。

当使用 LVDS 驱动器驱动差分接收器时，信号可以通过添加直流阻断电容器来进行交流耦合。然而，驱动端和接收端都需要建立适当的直流偏置点。推荐的端接方案取决于差分接收器是否集成了终端电阻。

当驱动没有内部  $100\Omega$  差分终端的差分接收器时，交流耦合电容应放置在负载端接电阻器和接收器之间，以允许直流路径正确偏置 LVDS 驱动器。这如图 28 所示。负载终端电阻和交流耦合电容应放置在尽可能靠近接收器输入，以尽量减少短截线长度。接收器可以在内部或外部偏置到通过千欧范围内的电阻器连接到接收器共模输入范围内的参考电压。

当驱动具有内部  $100\Omega$  差分终端的差分接收器时，源端接电阻应放置在交流耦合电容器之前，以便为驱动器提供适当的直流偏置，如图 29 所示。然而，在源极和负载端（即双端接）使用  $100\Omega$  电阻时，LVDS 驱动器看到的等效电阻为  $50\Omega$ ，这导致输入端的有效信号摆幅减少一半。如果一个自端接的接收器需要大于  $250\text{mV}_{\text{PP}}$ （差分）的输入摆幅与交流耦合到其输入的一样，那么采用图 27 的双端接布置的 LVDS 驱动器可能达不到最低输入摆幅的要求，当 LVDS 输出采用交流耦合时，可能会在时钟输出中观察到启动延迟，这是由于电容充电。图 28 和图 29 中的示例使用  $0.1\mu\text{F}$  电容，但这个值可能会被调整以满足特定应用程序的启动要求。

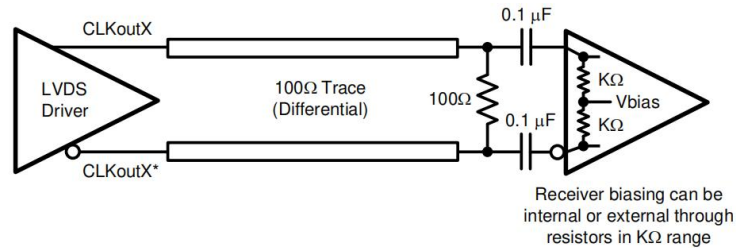


图28. 当驱动没有内部差分终端的差分接收器

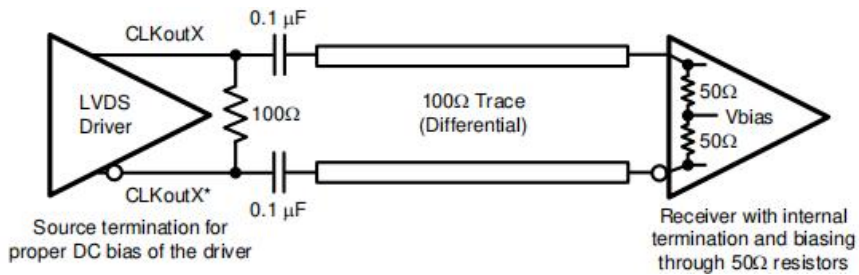


图29. 当驱动有内部差分终端的差分接收器

LVPECL 驱动器需要一条直流接地路径。当交流耦合 LVPECL 信号时，使用靠近 LVPECL 驱动器的  $160\Omega$  发射极电阻（或  $V_{\text{cco}} = 2.5\text{V}$  时为  $91\Omega$ ）提供直流接地路径，如图30所示。为了接收器正常工作，信号应偏置到接收器指定的直流偏置电平（共模电压）。LVPECL接收器的典型直流偏置电压（共模电压）为  $2\text{V}$ 。

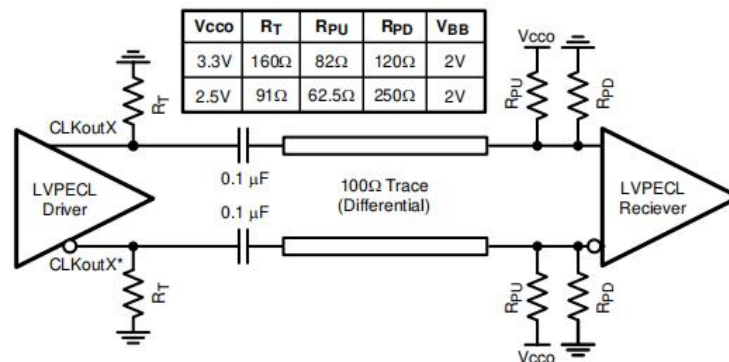


图30. LVPECL工作模式，交流耦合，戴维宁等效

### 单端操作的端接

巴伦可与LVDS或LVPECL驱动器一起使用，将平衡的差分信号转换为不平衡的单端信号。可以将LVPECL驱动器用作一个或两个独立的800 mV p-p信号。当直流耦合CLKoutX/CLKoutX\* 对的MBUF0301 LVPECL驱动器之一时，请务必正确终止未使用的驱动器。当MBUF0301个LVPECL驱动器的直流耦合接通时，端接应为50Ω到Vcco - 2V，如图31所示。当VCCO = 3.3V时，图32所示的戴维南等效电路也是一个有效的端接。

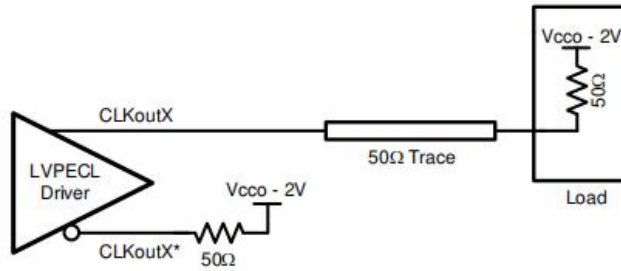


图 31. 单端 LVPECL 操作，直流耦合

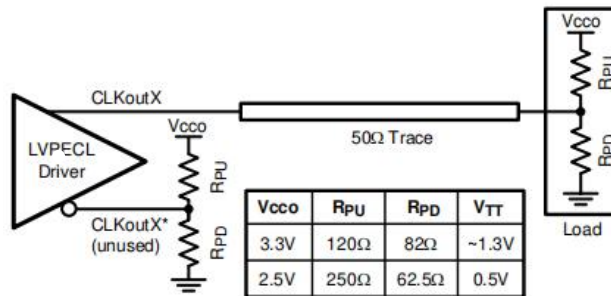


图32. 单端LVPECL工作模式，戴维宁等效

当交流耦合LVPECL驱动器时，使用160 Ω发射极电阻（或91Ω当VCCO = 2.5V时）提供直流接地路径，并确保50Ω端接并具有适当的接收器直流偏置电平。典型的直流偏置LVPECL接收器的电压为2V。如果不使用配套驱动器，则应使用适当的交流或直流终端来端接。后一种交流耦合单端LVPECL信号示例可用于使用频谱分析仪或相位噪声分析仪测量单端LVPECL性能。当使用大多数射频测试设备时，无需直流偏置点（0 VDC）即可实现安全和正常运行。内部50Ω

端接测试设备正确端接正在测量的LVPECL驱动器，如图33所示。当仅使用 CLKoutX/CLKoutX\* 对的一个 LVPECL 驱动程序时，请务必正确端接。

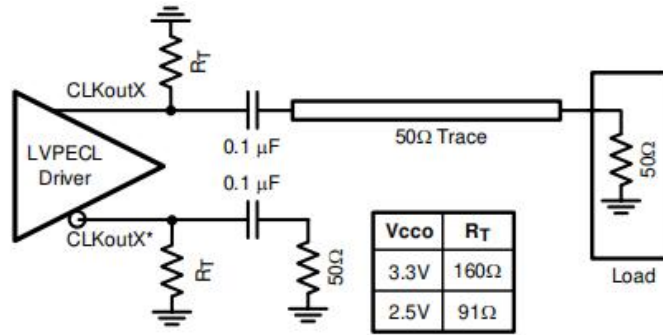
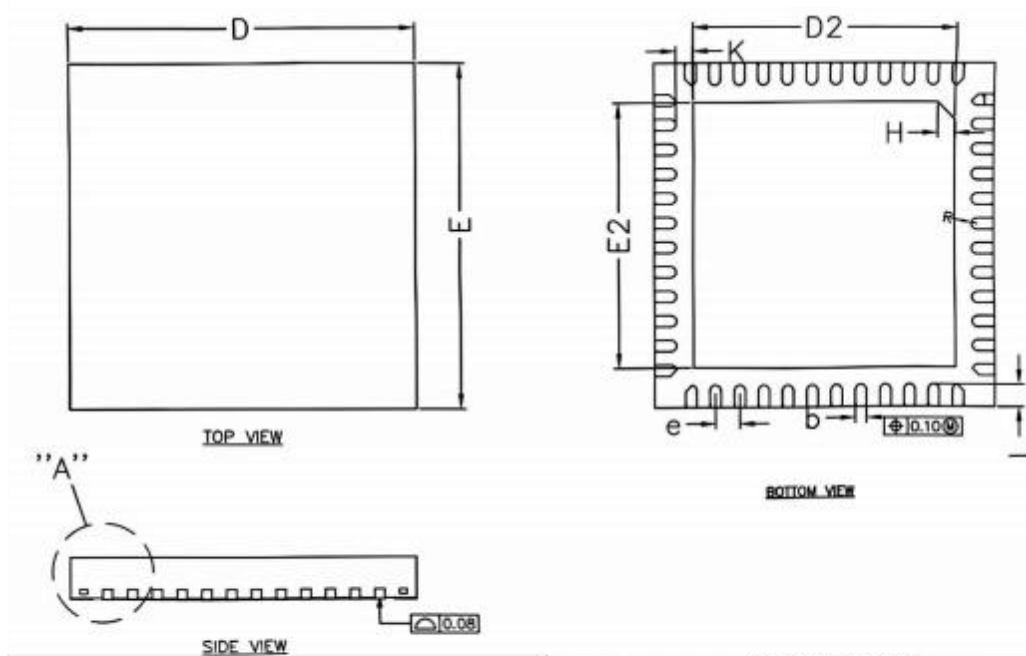


图33. 单端LVPECL工作模式，交流耦合

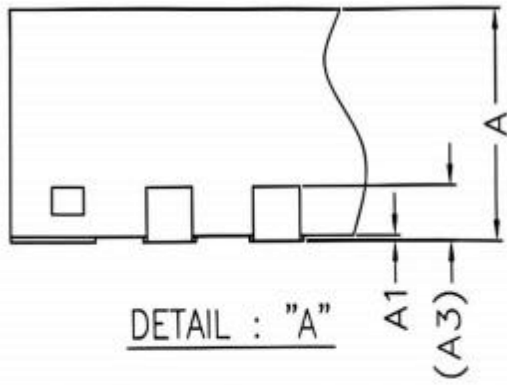
## 封装外形

本产品使用的封装外形为WQFN-48，尺寸为7 mm×7mm，高度为0.8mm。



COMMON DIMENSIONS  
(UNITS OF MEASURE=MILLIMETER)

Symbol	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A3	0.203 REF		
b	0.18	0.23	0.28
D	6.924	7.000	7.076
E	6.924	7.000	7.076
D2	5.30	5.40	5.50
E2	5.30	5.40	5.50
e	0.50 BSC		
L	0.350	0.450	0.550
K	0.20	---	---
R	0.09	---	---



ALL DIMENSIONS REFER TO JEDEC STANDARD MO-220 VKKD-4  
DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.