

## MBUF0304 2GHz 4路输出 差动时钟缓冲器/电平转换器

### 特性

- 3:1 输入多路复用器
  - 两个通用输入运行频率高达 2 GHz，且接受 LVPECL、LVDS、CML、SSTL、HSTL、HCSL 或单端时钟
  - 一个晶体输入可接受 10MHz 至 40MHz 的晶体 或单端时钟
- 分为两组，每组具有 2 路差分输出
  - LVPECL，LVDS，HCSL 或高阻态（每个组可选）
- 频率范围:
  - LVPECL（DC 至 2000MHz）
  - LVDS（DC 至 2000MHz）
  - HCSL（DC 至 800MHz）
  - LVCMOS（DC 至 250MHz）
- 通过使能输入提供 LVCMOS 输出
- 由引脚控制的配置
- VCC 内核电源：3.3V ± 5%
- 三个独立的 VCCO 输出电源：3.3V 或 2.5V ± 5%
- 工业温度范围：-40°C 至 +85°C
- 封装使用 QFN-32（5 mm × 5 mm）

### 应用

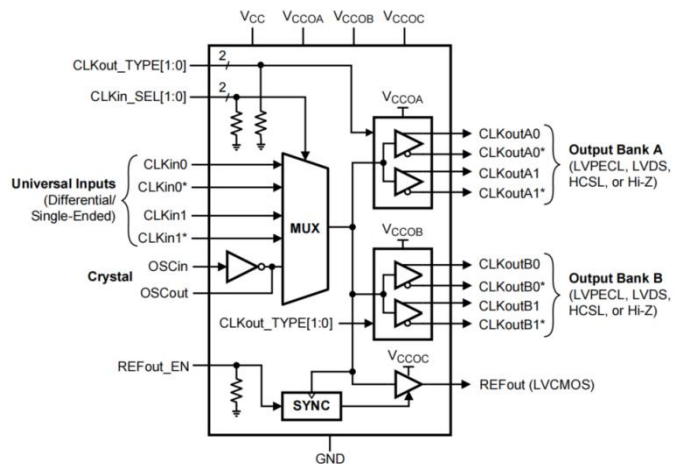
- 针对模数转换器（ADC），数模转换器（DAC），多千兆以太网，XAUI，光纤通道，SATA/SAS，SONET/SDH，通用公共无线接口（CPRI），高频背板的时钟分配和电平转换
- 交换机、路由器、线路接口卡、定时卡
- 服务器、计算、PCI express（PCIe 3.0、4.0、5.0、6.0）
- 远程无线电单元和基带单元

### 说明

MBUF0304 是一款 2 GHz、4 路输出差动扇出缓冲器，用于高频、低抖动时钟和数据分配以及电平转换。可从两个通用输入或一个晶振输入中选择输入时钟。所选择的输入时钟被分配到两组输出，每组输出包含 2 个差动输出和 1 个 LVCMOS 输出。两个差分输出组可被独立配置为 LVPECL，LVDS 或 HCSL 驱动器，或者被禁用。LVCMOS 输出具有使能控制的功能。MBUF0304 由一个 3.3V 内核电源和三个独立的 3.3V 或 2.5V 输出电源供电运行。

#### 封装信息

器件型号	封装	封装尺寸
MBUF0304	QFN (32)	5.00mm × 5.00mm



功能方框图

## 引脚配置

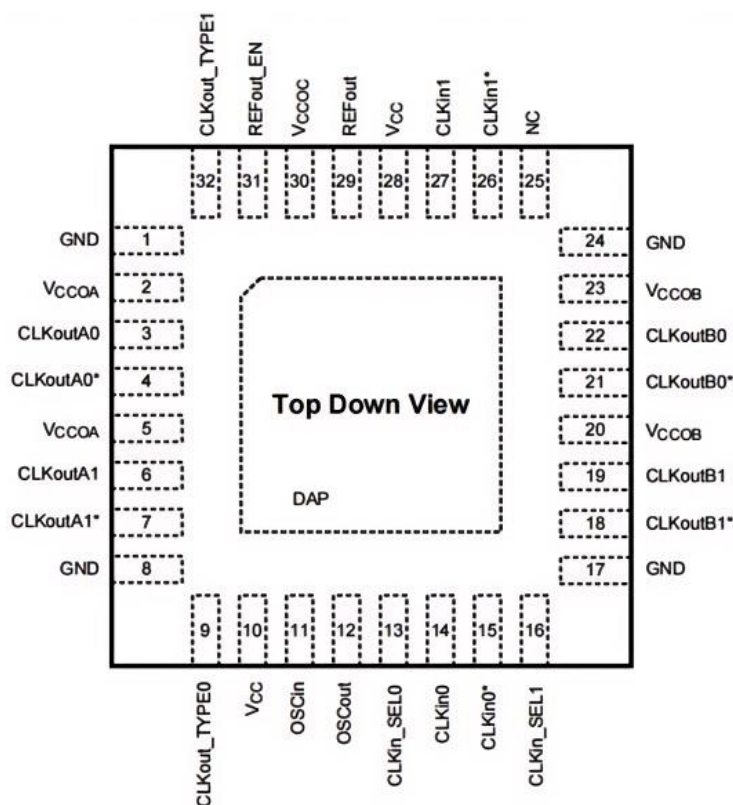


图 1. 引脚配置图 QFN-32

表 1. 引脚功能

引脚		类型	描述
序号	名称		
	DAP	GND	芯片连接PAD，与PCB的地相连，用于散热
1, 8 17, 24	GND	GND	地
2, 5	VCCOA	PWR	Bank A输出缓冲器的电源，VCCOA工作电压范围是3.3 V至2.5 V，VCCOA引脚片内相连。放置一个0.1uF的低ESR的电容在VCCO引脚附近可以达到去耦的作用
3, 4	CLKoutA0, CLKoutA0*	O	A0的差分输出端口，输出类型由CLKout_TYPE引脚设置
6, 7	CLKoutA1, CLKoutA1*	O	A0的差分输出端口，输出类型由CLKout_TYPE引脚设置
9, 32	CLKout_TYPE0, CLKout_TYPE1	I	Bank A和Bank B输出缓冲器的类型选择引脚
10, 28	Vcc	PWR	核心电路和输入缓冲器的电源，VCC工作电压范围是3.3 V，放置一个0.1uF的低ESR的电容在VCCO引脚附近可以达到去耦的作用
11	OSCin	I	晶体输入引脚，也可以被XO，TCXO，或者其他单端的时钟驱动
12	OSCout	O	晶体输出引脚，如果OSCin被驱动，则该引脚浮空

表 1. 引脚功能（续表）

引脚		类型	描述
序号	名称		
13, 16	CLKin_SEL0, CLKin_SEL1	I	时钟输入选择引脚
14, 15	CLKin0, CLKin0*	I	通用时钟输入0（差分/单端）
18, 19	CLKoutB1*, CLKoutB1	O	B1的差分输出端口，输出类型由CLKout_TYPE引脚设置
20, 23	VCCOB	PWR	Bank B输出缓冲器的电源，VCCOA工作电压范围是3.3 V至2.5 V，VCCOA引脚片内相连。放置一个0.1uF的低ESR的电容在VCCO引脚附近可以达到去耦的作用
21, 22	CLKoutB0*, CLKoutB0	O	B0的差分输出端口，输出类型由CLKout_TYPE引脚设置
25	NC	—	内部无连接，引脚可以浮空，接地，或者其他任何在绝对最大额定范围内的电源电压
26, 27	CLKin1*, CLKin1	I	通用时钟输入1（差分/单端）
29	REFout	O	LVC MOS参考输出，通过上拉REFout_EN为高电压使能
30	VCCOC	PWR	REFout时钟缓冲器的电源，VCCOA工作电压范围是3.3 V至2.5 V。放置一个0.1uF的低ESR的电容在VCCO引脚附近可以达到去耦的作用
31	REFout_EN	I	REFout使能输入，使能信号与选择的输入信号同步

## 绝对最大额定值

符号	描述	最小值	最大值	单位
Vdd	电源电压	-0.3	3.6	V
Vddo	输出电源电压	-0.3	3.6	V
V <sub>IN</sub>	输入电压	-0.3	Vdd+0.3	V

## 建议工作条件

符号	描述	最小值	典型值	最大值	单位
T <sub>A</sub>	环境温度	-40	25	85	°C
Vdd	电源电压	3.15	3.3	3.45	V
Vddo	输出电源电压	3.3-5%	3.3	3.3+5%	V
		2.5-5%	2.5	2.5+5%	

## ESD额定值

符号	描述	条件	额定值	单位
V <sub>ESD</sub>	静电放电	静电放电人体模型 (HBM)	±2000	V
		静电放电充电设备模型 (CDM)	±1000	V

## 电气特性

除非备注明确说明，默认的测试条件为： $V_{cc} = 3.3\text{ V} \pm 5\%$ ,  $V_{cco} = 3.3\text{ V} \pm 5\%$ ,  $2.5\text{ V} \pm 5\%$ ,  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ , CLKin输入差分信号, 输入信号摆率  $\geq 3\text{ V/ns}$ . 典型值表示在  $V_{cc} = 3.3\text{ V}$ ,  $V_{cco} = 3.3\text{ V}$ ,  $T_A = 25^{\circ}\text{C}$  条件下测试的值，典型值为估计值，不是确定值

### 功耗

符号	参数	测试条件	最小值	典型值	最大值	单位
I <sub>CC_CORE</sub>	总功耗	选择CLKin输入，输出全部禁用		47.8		mA
		选择OSCin输入，输出全部禁用		42		mA
I <sub>CC_LVPECL</sub>	总功耗	选择OSCin输入，仅LVPECL输出		283		mA
I <sub>CC_LVDS</sub>	总功耗	选择OSCin输入，仅LVDS输出		99.3		mA
I <sub>CC_HCSL</sub>	总功耗	选择OSCin输入，仅HCSL输出		128.7		mA
I <sub>CC_CMOS</sub>	总功耗	选择OSCin输入，100 MHz，仅LVCMOS输出，负载电阻50Ω，电容10pF		120		mA

### 时钟输入 (CLKin0/CLKin0\*, CLKin1/CLKin1\*)

f <sub>CLKin</sub>	输入频率范围	差分输入时，支持DC到2.1GHz，输入DC时候应当使用直流耦合	DC		2.1	GHz
V <sub>IHD</sub>	差分输入高电平				VCC	V
V <sub>ILD</sub>	差分输入低电平		GND			V
V <sub>ID</sub>	差分输入摆幅		0.2		1.3	V

### 晶体接口(OSCin, OSCout)

F <sub>XTAL</sub>	晶振频率范围	使用25MHz晶振， R <sub>lim</sub> =3kΩ， C <sub>1</sub> =C <sub>2</sub> =18pF	10	25	40	MHz
-------------------	--------	--	----	----	----	-----

### LVPECL输出 (CLKoutA/CLKoutA\*, CLKoutB/CLKoutB\*)

f <sub>CLKout_FS</sub>	最大输出频率满摆幅	摆幅大于600mV，负载为100Ω的差分电阻	1	1.5		GHz
f <sub>CLKout_RS</sub>	最大输出频率下降摆幅	摆幅大于400mV，负载为100Ω的差分电阻		2.1		GHz
DUTY	占空比	输入信号50%占空比	45%		55%	
V <sub>OCM</sub>	输出直流共模电平	输出端接160Ω到GND，交流耦合50Ω负载		2.1		V
V <sub>OD</sub>	输出摆幅			710		mV
t <sub>R</sub>	上升时间20%到80%	端接160Ω到GND，50Ω阻抗线，负载100Ω，CL≤5pF，测试的频率为150MHz，测试的频率为100MHz		250		ps
t <sub>F</sub>	下降时间80%到20%			200		ps

### LVDS输出 (CLKoutAn/CLKoutAn\*, CLKoutBn/CLKoutBn\*)

f <sub>CLKout_FS</sub>	满摆幅时最大输出频率	V <sub>OD</sub> ≥250mV，差分负载RL=100Ω，测试输入信号摆幅为800mV	1	1.35		GHz
f <sub>CLKout_RS</sub>	降摆幅时最大输出频率	V <sub>OD</sub> ≥200mV，差分负载RL=100Ω，测试输入信号摆幅为800mV	1	1.5		GHz

DUTY	占空比	输入信号50%占空比		50%		
V <sub>OD</sub>	输出电压摆幅	T=25°C, 差分负载RL = 100Ω		400		mV
t <sub>R</sub>	上升时间20%到80%	带有50Ω的传输线特性阻抗		300		ps
t <sub>F</sub>	下降时间80%到20%			300		ps
<b>HCSL输出 (CLKoutAn/CLKoutAn*)</b>						
f <sub>CLKout</sub>	输出频率范围	RL=50Ω到GND, CL≤5pF, Rs=33Ω		DC	800	MHz
DUTY	占空比	输入信号为50%的占空比	CLKin≤400MHz	50%		
V <sub>OH</sub>	输出高电压	RL=50Ω到GND, CL≤5pF, Rs=33Ω, 交流负载50Ω		700		mV
V <sub>OL</sub>	输出低电压			0		mV
t <sub>R</sub>	上升时间20%到80%			460		ps
t <sub>F</sub>	下降时间80%到80%			670		ps
<b>LVC MOS输出 (REFout)</b>						
f <sub>CLKout</sub>	输出频率范围	CL≤5pF		DC	250	MHz
DUTY	占空比			51%		
V <sub>OH</sub>	输出高电平	R <sub>L</sub> = 50 Ω, C <sub>L</sub> = 10 pF		2.6		V
V <sub>OL</sub>	输出低电平			0		V
t <sub>R</sub>	上升时间			556		ps
t <sub>F</sub>	下降时间			477		ps

## 典型特性

除非另有说明： $V_{CC} = 3.3V$ ,  $V_{CCO} = 3.3V$ ,  $T_A = 25^{\circ}C$ , CLKin 差分驱动, 输入压摆率  $\geq 3V/ns$ 。

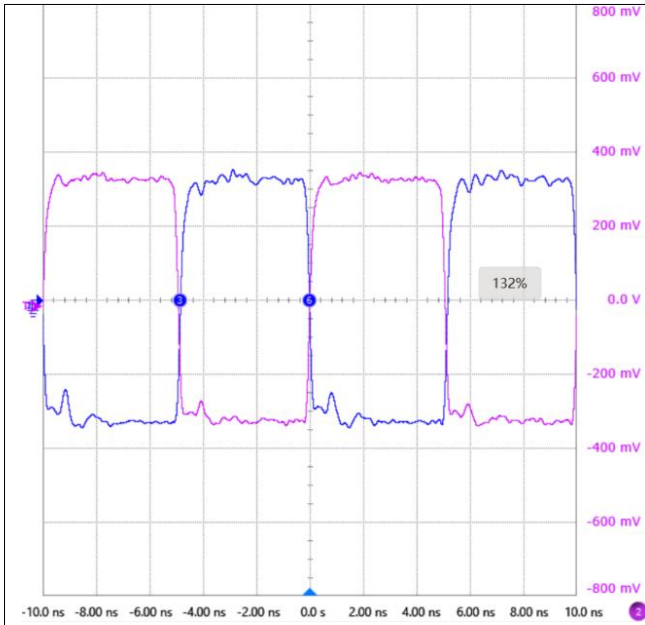


图2. 100 MHz LVPECL 输出摆幅

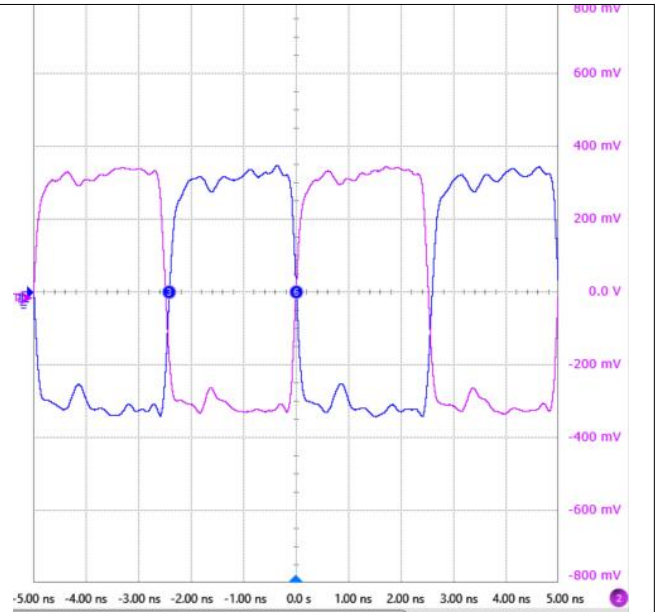


图3. 200 MHz LVPECL 输出摆幅

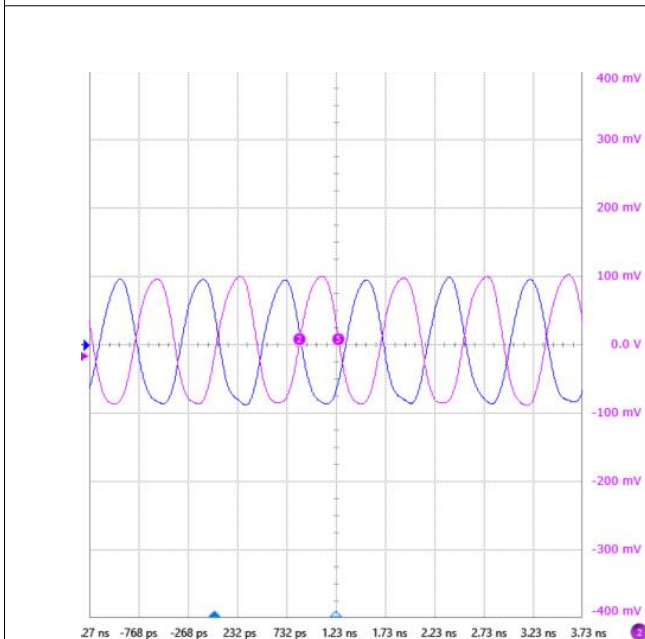


图4. 1.2 GHz LVDS 输出摆幅

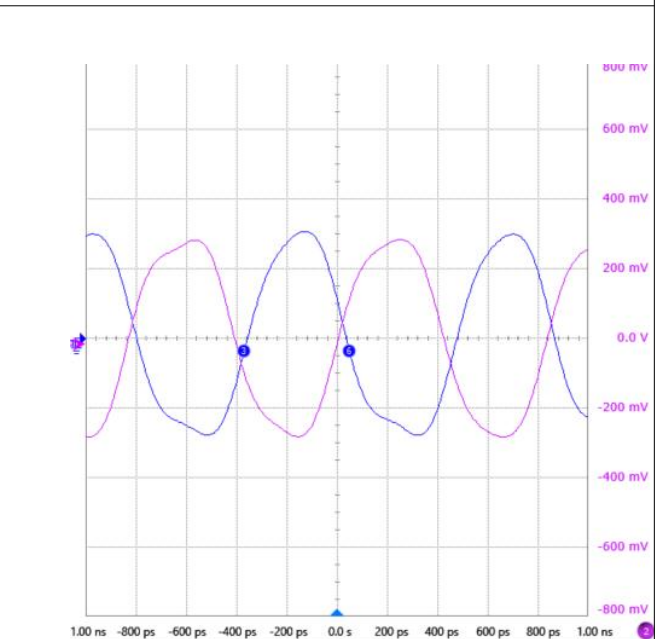


图5. 1.2 GHz LVPECL 输出摆幅

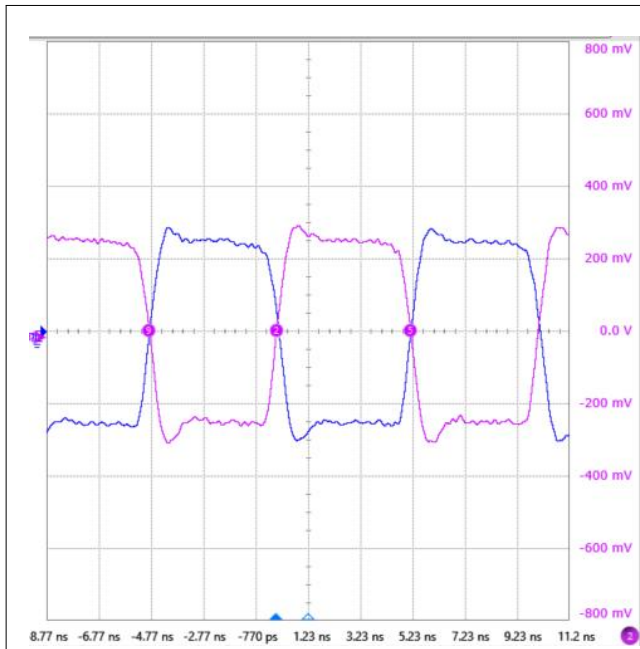


图 6. 100MHz HCSL输出摆幅

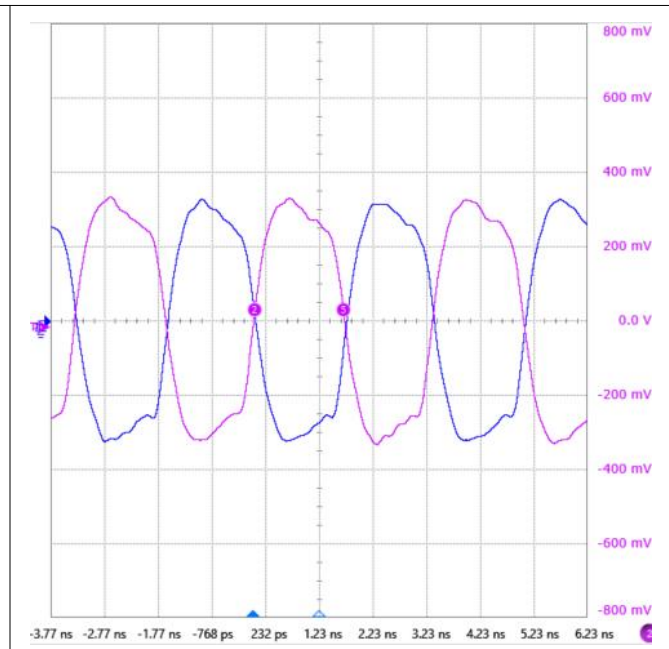


图 7. 300 MHz HCSL 输出摆幅

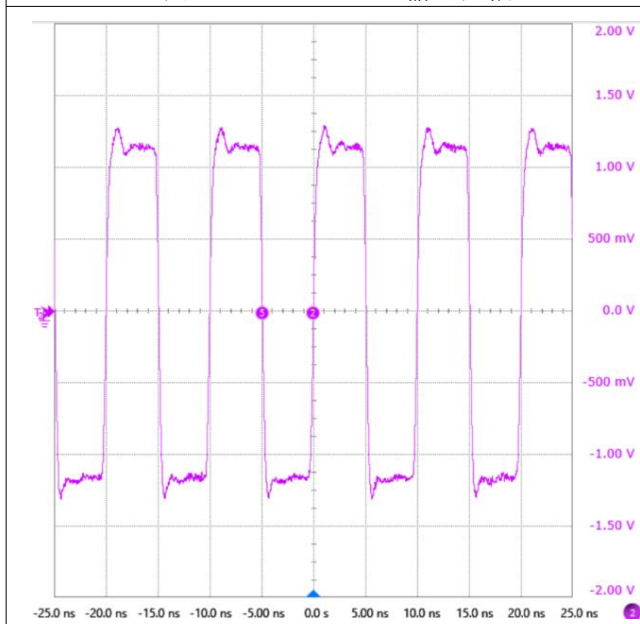


图 8. 3.3 V 100 MHz LVCMOS 输出摆幅

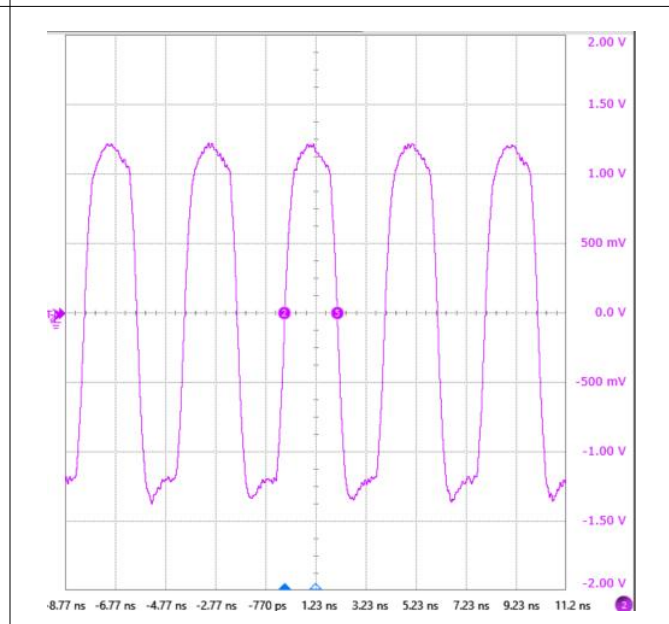


图 9. 3.3 V 250 MHz时LVCMOS 输出摆幅

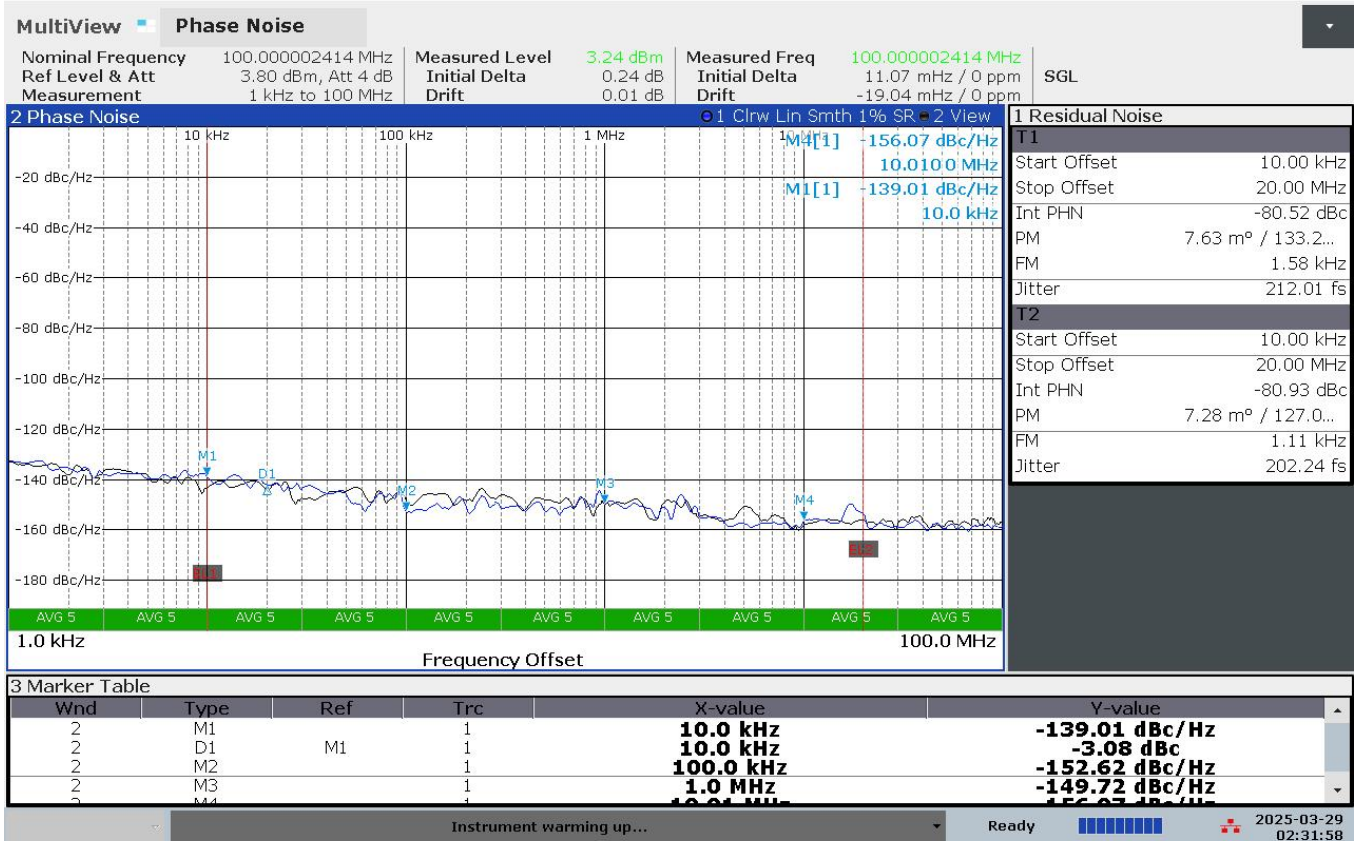


图10 100MHz处LVPECL输出相位噪声曲线

## 参数测量信息

差分信号的差分电压可以用两种不同的定义来描述，在阅读数据表或与其他工程师交流时会造成混淆。本节将讨论差分信号的测量和描述，以便读者在使用时能够理解和辨别两种不同的定义。

用于描述差分信号的第一个定义是反相信号和同相信号两者之间的电压电位的绝对值。第一个测量的符号通常为 **VID** 或 **VOD**，具体取决于描述的是输入电压还是输出电压。用于描述差分信号的第二个定义是测量同相信号相对于反相信号的电位差。第二次测量的符号是 **VSS** 且是一个计算参数。该信号在芯片中的任何地方相对地而言都不存在，它仅存在于其参考差分对。**VSS** 可以通过带有浮动参考的示波器直接测量，否则，该值可以计算为 **VOD** 值的两倍。

图11并排说明了两种不同的输入定义，图12并排说明了两种不同的输出定义。**VID**（或 **VOD**）定义显示了同相和反相信号相对于地之间相互切换的直流电平 **VIH** 和 **VIL**（或 **VOH** 和 **VOL**）。**VSS** 输入和输出定义表明，如果将反相信号视为电压电位参考，则同相信号电压电位现在高于和低于反相参考电压时增加和减小。因此可以测量差分信号的峰峰值电压。**VID** 和 **VOD** 通常以伏特（V）定义，而 **VSS** 通常以电压峰峰值（**VPP**）定义。

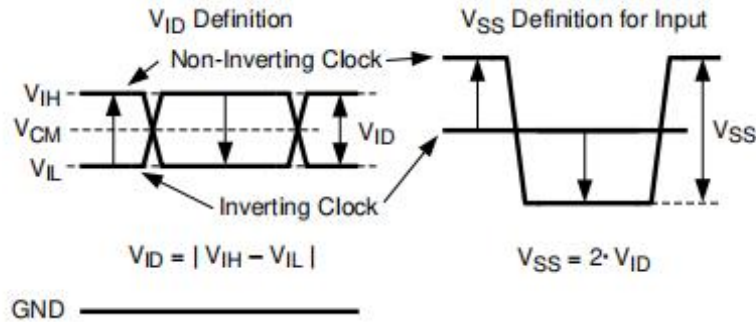


图11 差分输入信号两种不同的定义 VID

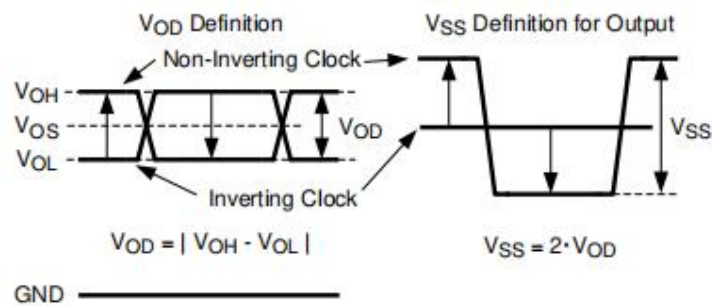


图12 差分输出信号两种不同的定义 VOD

## 功能描述和应用

### 概述

MBUF0304是一款4路输出差分时钟扇出缓冲器，具有超低附加抖动，可在高达2 GHz的频率下工作。它具有一个3:1输入多路复用器和一个可选的晶体振荡器输入、两组2路差分输出缓冲器具有多种模式（LVPECL、LVDS、HCSL或Hi-Z）、1个LVCMOS输出和3个独立的输出缓冲器电源。输入选择和输出模式通过引脚进行控制。该器件提供一个32个引脚的QFN封装形式。

### 制作工艺

MBUF0304时钟缓冲器是基于180nm CMOS工艺设计。

### VCC 和 VCCO 电源

MBUF0304具有独立的3.3V内核电源（VCC）和3个独立的3.3V或2.5V输出电源（VCCOA，VCCOB和VCCOC）电源。2.5V输出电源操作可降低功耗且输出电平可与2.5V接收器设备相兼容。LVPECL（VOH，VOL）和LVCMOS（VOH）的输出电平参考其各自的VCCO电源，而LVDS和HCSL的输出电平在指定的VCCO范围内相对恒定。注意确保VCCO电压不超过VCC电压，以防止打开内部ESD保护电路。

### 时钟输入

输入时钟可从CLKin0/CLKin0\*、CLKin1/CLKin1\*或OSCin中选择。时钟输入选择使用CLKin\_SEL[1:0]输入进行控制，如表2所示。有关时钟输入要求，请参阅驱动时钟输入。当选择CLKin0或CLKin1时，晶体电路断电。当选择OSCin（晶体模式）时，晶体振荡器电路启动，时钟被分配到所有输出。此外，OSCin也可以由高达250MHz的单端时钟驱动用以替代晶体。

表 2. 输入选择

CLKin_SEL1	CLKin_SEL0	选定的输入
0	0	CLKin0, CLKin0*
0	1	CLKin1, CLKin1*
1	X	OSCIin (晶体模式)

## 时钟输出

A组和B组输出的差分输出缓冲器类型使用CLKout\_TYPE[1:0]配置，如表3所示。对于不需要所有差分输出的应用程序，任何未使用的输出引脚都应悬置，并使用最少的铜线长度（见下面的注释），以尽量减少电容和潜在耦合并降低功耗。如果将不会使用整个输出组，建议禁用（Hi-Z）该组以降低功率。（注：为获得最佳焊接实践，任何未使用的输出引脚的最小走线长度应扩展到包括引脚阻焊层。这样在回流焊过程中，焊料与连接引脚具有相同的铜面积。这形成良好、均匀的圆角焊点有助于回流期间保持IC水平。）

表 3. 差分输出缓冲器类型选择

CLKoutX_TYPE1	CLKoutX_TYPE0	CLKoutX缓冲器类型（A组或B组）
0	0	LVPECL
0	1	LVDS
1	0	HCSL
1	1	禁用(Hi-Z)

## 参考输出

参考输出（REFout）提供所选输入时钟的LVCMOS副本。LVCMOS输出的高电平以VCCO电压为参考。REFout可以使用启用输入引脚REFout\_EN 启用或禁用，如表4所示。

表 4. 参考输出使能

REFout_EN	REFout 状态
0	禁用 (Hi-Z)
1	启用

为实现最佳相位噪声和抖动性能，建议输入具有3V/ns的高压摆率（差分）或更高。以较高的压摆率驱动输入会降低噪底和抖动。出于这个原因，建议使用差分输入信号而不是单端信号，因为它通常提供更高的压摆率和共模噪声抑制。

当电气特性中列出的CLKin引脚的单端输入规范符合时，则可以使用单端时钟驱动它。对于大的单端输入信号，例如3.3V或2.5V LVCMOS，应在输入附近放置一个50Ω 负载电阻，用于信号衰减以防止输入过驱动以及用于线路端接以最大程度地减少反射。CLKin输入具有大约0.6V 的内部偏置电压，因此输入可以进行交流耦合，如图20所示。LVCMOS驱动器的输出阻抗加上RS应为50Ω，以匹配传输线和负载终端的特性阻抗。

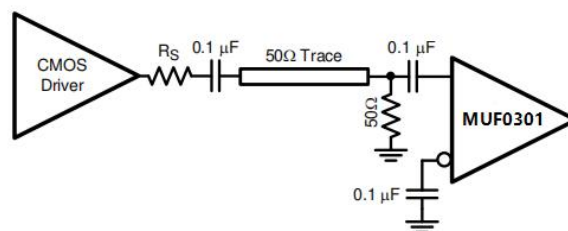


图 14. 单端LVCMOS输入，交流耦合

单端时钟也可以直流耦合到CLKinX，如图所示。应在CLKinX输入附近放置一个50Ω负载电阻，用于信号衰减和线路端接。因为一半的单端摆动驱动器（ $V_{O,PP}/2$ ）驱动CLKinX，CLKinX\*应外部偏置到衰减输入摆幅的中点电压（ $(V_{O,PP}/2) \times 0.5$ ）。外部偏置电压应在规定的输入公共电压（VCM）范围内。这可以通过使用kΩ范围内的外部偏置电阻（RB1和RB2）或其他低噪声电压基准来实现。这将确保输入摆幅在输入摆率最高的点处于阈值电压以内。如果LVCMOS驱动器在CLKinX输入端的DC端接50Ω负载时无法实现足够的摆幅，如图21所示，则考虑通过电容器将50Ω负载端接地。这种交流终端阻断了驱动器上的直流负载电流，因此输入端的电压摆幅由源极（ $R_o+R_s$ ）和50Ω负载电阻形成的分压器确定，MBUF0304的输入共模此时由内部自偏置提供。

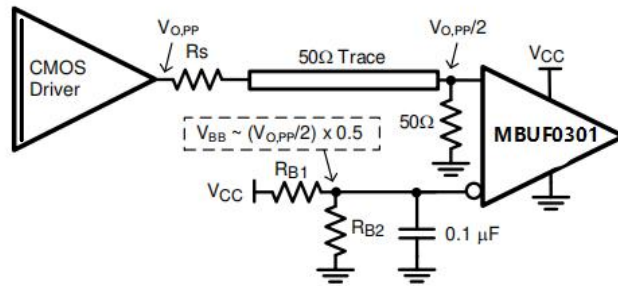


图 15. 单端LVCMOS输入，具有共模偏置功能的直流耦合

如果不使用晶体电路，可以使用单端外部时钟驱动OSCin输入，如图22所示。输入时钟应交流耦合到OSCin引脚，该引脚内部产生输入偏置电压，并且OSCout引脚应保持悬置。虽然OSCin提供了一个可选的输入来复用外部时钟，还是建议使用任一差分输入（CLKinX），因为它提供更高的工作频率，更好的共模，改进的电源噪声抑制并在电源电压和温度变化时具有更高的性能。

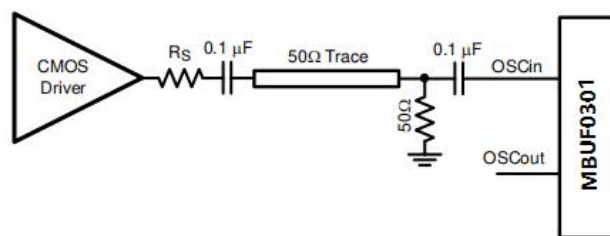


图 16. 使用单端输入驱动 OSCin

## 晶体接口

MBUF0304有一个集成的晶体振荡器电路，支持无源晶体，AT-cut晶体。晶体接口如图23所示。

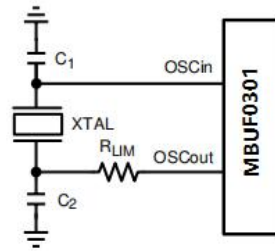


图 17. 晶体接口

负载电容 ( $C_L$ ) 取决于晶体，但通常在18到20pF的数量级。虽然 $C_L$ 是为晶体指定的，但器件的OSCin输入电容 ( $C_{IN} = 1\text{pF}$  典型值) 和PCB杂散电容 ( $C_{STRAY} \sim 1$ 至 $3\text{pF}$ ) 会影响分立负载电容值 $C_1$ 和 $C_2$ 。对于并联谐振电路，分立电容值可以计算如下：

$$C_L = (C_1 \times C_2) / (C_1 + C_2) + C_{IN} + C_{STRAY}$$

通常， $C_1 = C_2$  以获得最佳对称性，因此上面等式可以仅根据 $C_1$ 重写：

$$C_L = C_1 * C_1 / (2 \times C_1) + C_{IN} + C_{STRAY}$$

求解 $C_1$ ：

$$C_1 = (C_L - C_{IN} - C_{STRAY}) \times 2$$

电气特性提供了晶体接口规格以及确保晶体启动的条件，但没有指定晶体功率耗散。设计人员需要确保晶振功耗不超过晶振制造商指定的最大驱动电平。过度驱动晶体会导致过早老化、频率偏移和最终失效。驱动器电平应保持在启动和保持稳态运行所需的足够电平。

晶体中耗散的功率  $P_{XTAL}$  可以通过以下公式计算：

$$P_{XTAL} = I_{RMS}^2 \times R_{ESR} \times (1 + C_0/C_L)^2$$

这里：

- $I_{RMS}$  是通过晶体的RMS电流。
- $R_{ESR}$  是为晶体指定的最大等效串联电阻。
- $C_L$  是为晶体指定的负载电容。
- 是为晶体指定的最小并联电容。

$I_{RMS}$  可以使用电流探头（例如泰克CT-6或同等产品）测量，该探头放置在连接到OSCout且振荡电路处于活动状态的晶体引脚上。

如图23所示，如有必要，可以使用外部电阻 $R_{LIM}$ 来限制晶体驱动电平。如果所选晶体的功耗高于 $R_{LIM}$ 短路时为晶体指定的驱动电平，则必须使用更大的电阻值以避免晶体过驱动。但是，如果晶体中的功耗小于 $R_{LIM}$ 短路时的驱动电平，则可以使用 $R_{LIM}$ 的零值。作为起点， $R_{LIM}$ 的建议值为 $3.0\text{k}\Omega$ 。

## 时钟驱动器的终止和使用

在端接时钟驱动器时，请牢记以下指南以获得最佳相位噪声和抖动性能：

- 应遵循传输线理论以获得良好的阻抗匹配以防止反射。
- 时钟驱动器应具有适当的负载。
  - LVDS 输出是电流驱动器，需要闭合电流环路。
  - HCSL 驱动器是开关电流输出，需要通过  $50\ \Omega$  端接的直流路径接地。
  - LVPECL 输出是开路发射极，需要一条直流接地路径。
- 为了正常运作，接收器应提供偏置到其指定直流偏置电平（共模电压）的信号。一些接收器具有自动偏置到适当电压的自偏置输入，在这种情况下，信号通常应该是交流耦合的。

只要遵循上述准则，就可以使用LVDS或LVPECL驱动器驱动非LVPECL或非LVDS接收器。检查接收器的数据表或被驱动的输入以确定最佳端接和耦合方法，以确保接收器偏置在最佳直流电压（共模电压）。

## 直流耦合差分操作的端接

对于LVDS驱动器的直流耦合操作，端接 $100\ \Omega$ ，尽可能靠近LVDS接收器，如图18所示。

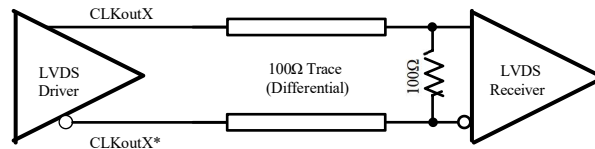


图 18. 差分LVDS操作，直流耦合，接收器无偏置

对于HCSL驱动器的直流耦合操作，在驱动器输出附近以 $50\ \Omega$ 对地端接，如图19所示。由于快速瞬态电流，串联电阻 $R_s$ 可用于限制过冲。串联电阻 $R_s$ 可用于限制由于快速瞬态电流导致的过冲， $R_s$ 可以取 $33\ \Omega$ 。因为HCSL驱动器需要一个接地的直流路径，输出驱动器和输出驱动器之间不允许交流耦合 $50\ \Omega$ 终端电阻。

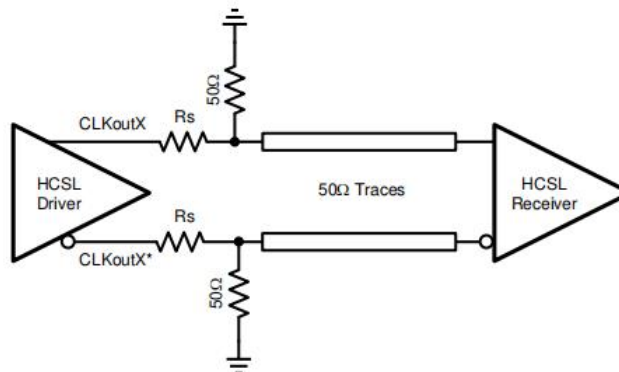


图 19. HCSL 驱动模式，直流耦合

对于LVPECL驱动器的直流耦合操作，以 $50\ \Omega$ 端接至 $V_{CC0} - 2V$ ，如图20所示。或者采用戴维南等效电路进行端接，如图21所示用于 $V_{CC0} = 3.3V$ 和 $2.5V$ 。在戴维南等效电路中，电阻分压器设置输出端接电压（ $V_{TT}$ ）等于 $V_{CC0} - 2V$ 。

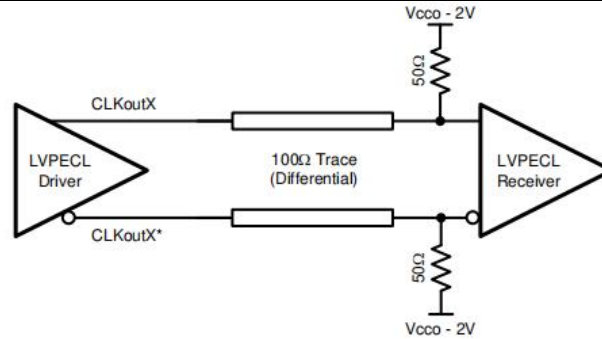


图 20. LVPECL工作模式，直流耦合

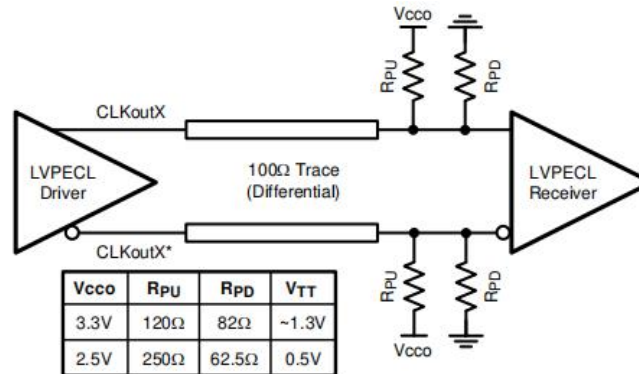


图 21. LVPECL工作模式，直流耦合，戴维南等效

## 交流耦合差分操作的端接

交流耦合允许在驱动不同的接收器时改变直流偏置电平（共模电压）标准。由于交流耦合会阻止驱动器在接收器上提供直流偏置电压，因此确保接收器偏置到其理想的直流电平是很重要的。

当使用 LVDS 驱动器驱动差分接收器时，信号可以通过添加直流阻断电容器来进行交流耦合。然而，驱动端和接收端都需要建立适当的直流偏置点。推荐的端接方案取决于差分接收器是否集成了终端电阻。

当驱动没有内部 100Ω 差分终端的差分接收器时，交流耦合电容应放置在负载端接电阻器和接收器之间，以允许直流路径正确偏置 LVDS 驱动器。这如图 22 所示。负载终端电阻和交流耦合电容应放置在尽可能靠近接收器输入，以尽量减少短截线长度。接收器可以在内部或外部偏置到通过千欧范围内的电阻器连接到接收器共模输入范围内的参考电压。

当驱动具有内部 100Ω 差分终端的差分接收器时，源端接电阻应放置在交流耦合电容器之前，以便为驱动器提供适当的直流偏置，如图 23 所示。然而，在源极和负载端（即双端接）使用 100Ω 电阻时，LVDS 驱动器看到的等效电阻为 50Ω，这导致输入端的有效信号摆幅减少一半。当 LVDS 输出采用交流耦合时，可能会在时钟输出中观察到启动延迟，这是由于电容充电。图 22 和图 23 中的示例使用 0.1μF 电容，但这个值可能会被调整以满足特定应用程序的启动要求。

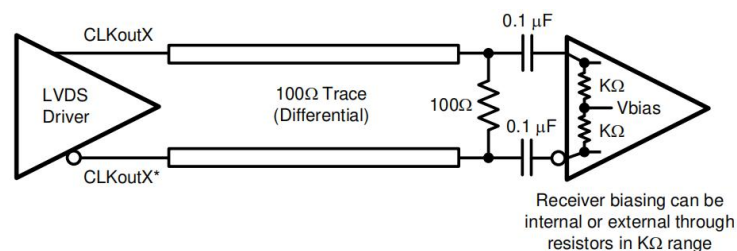


图22. 当驱动没有内部差分终端的差分接收器

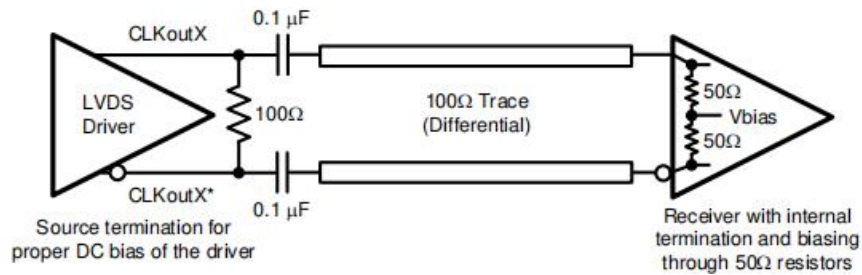


图23. 当驱动有内部差分终端的差分接收器

LVPECL 驱动器需要一条直流接地路径。当交流耦合 LVPECL 信号时，使用靠近 LVPECL 驱动器的  $160\ \Omega$  发射极电阻（或  $V_{CC0} = 2.5\ \text{V}$  时为  $91\ \Omega$ ）提供直流接地路径，如图24所示。为了接收器正常工作，信号应偏置到接收器指定的直流偏置电平（共模电压）。LVPECL接收器的典型直流偏置电压（共模电压）为  $2\ \text{V}$ 。

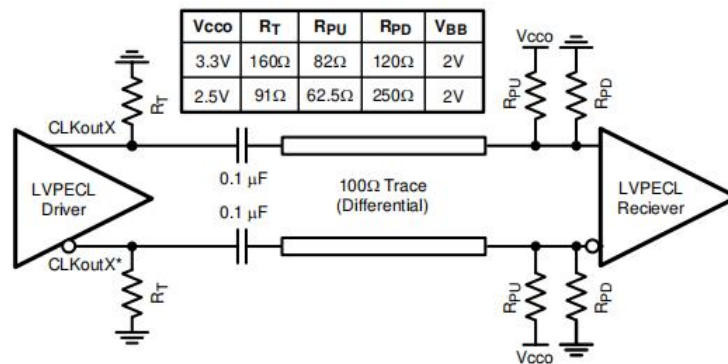


图24. LVPECL工作模式，交流耦合，戴维宁等效

## 单端操作的端接

巴伦可与LVDS或LVPECL驱动器一起使用，将平衡的差分信号转换为不平衡的单端信号。可以将LVPECL驱动器用作一个或两个独立的  $800\ \text{mV p-p}$  信号。当直流耦合 CLKoutX/CLKoutX\* 对的 MBUF0304 LVPECL 驱动器之一时，请务必正确终止未使用的驱动器。当 MBUF0304 个 LVPECL 驱动器的直流耦合接通时，端接应为  $50\ \Omega$  到  $V_{CC0} - 2\ \text{V}$ ，如图25所示。当  $V_{CC0} = 3.3\ \text{V}$  时，图26所示的戴维南等效电路也是一个有效的端接。

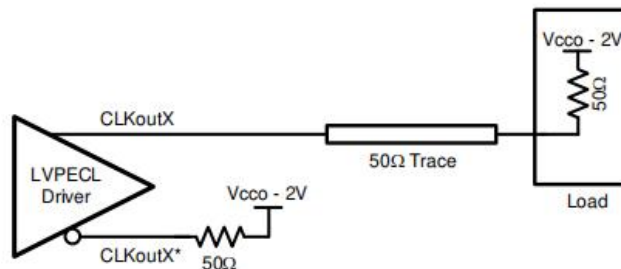


图 25. 单端 LVPECL 操作，直流耦合

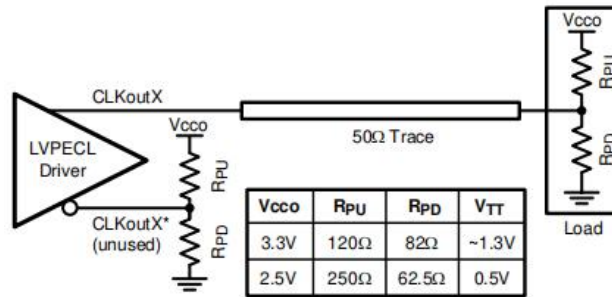


图26. 单端LVPECL工作模式，戴维宁等效

当交流耦合LVPECL驱动器时，使用160Ω发射极电阻（或91Ω当VCCO = 2.5V时）提供直流接地路径，并确保50Ω端接并具有适当的接收器直流偏置电平。典型的直流偏置LVPECL接收器的电压为2V。如果不使用配套驱动器，则应使用适当的交流或直流终端来端接。后一种交流耦合单端LVPECL信号示例可用于使用频谱分析仪或相位噪声分析仪测量单端LVPECL性能。当使用大多数射频测试设备时，无需直流偏置点（0 VDC）即可实现安全和正常运行。内部50Ω端接测试设备正确端接正在测量的LVPECL驱动器，如图27所示。当仅使用CLKoutX/CLKoutX\* 对的一个LVPECL 驱动程序时，请务必正确端接。

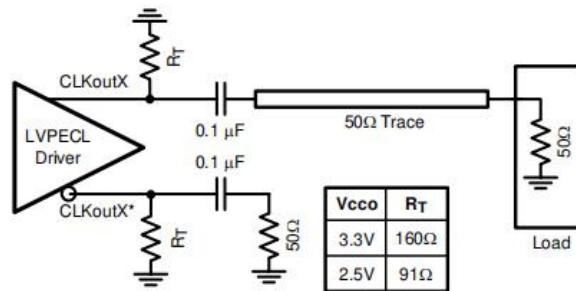
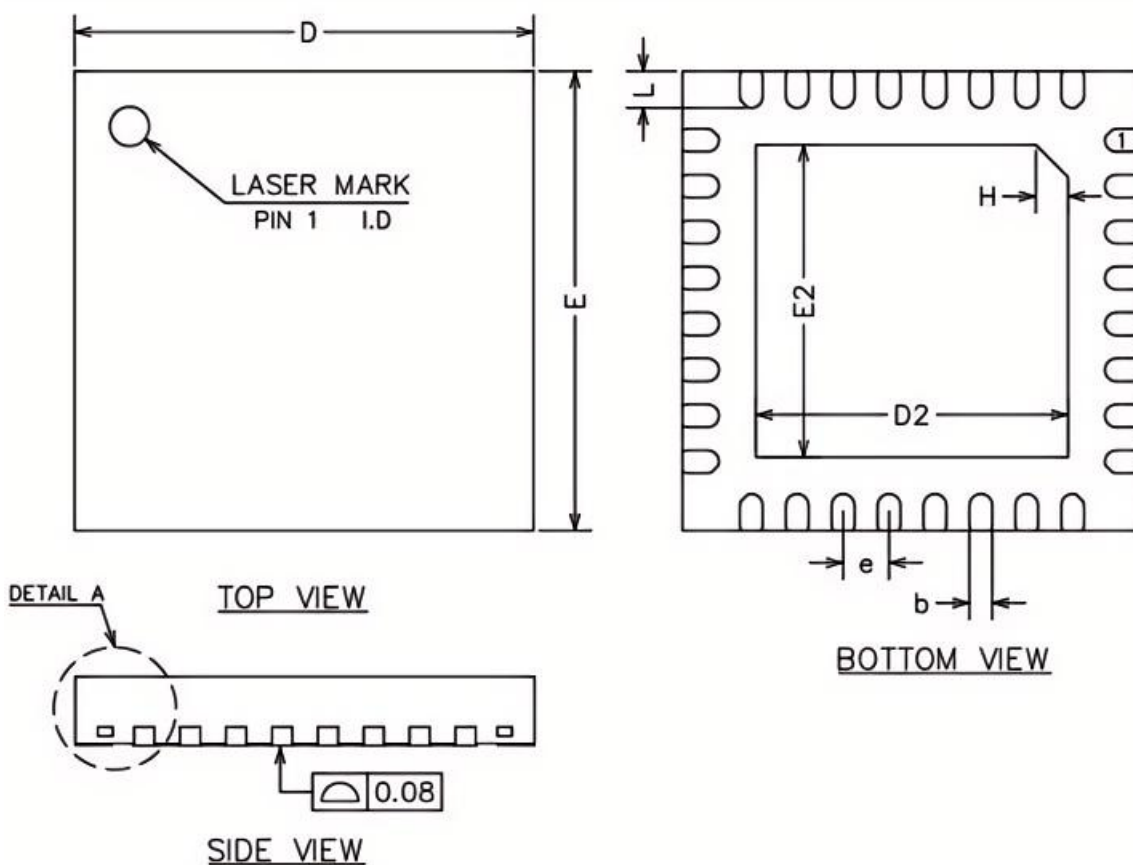


图27. 单端LVPECL工作模式，交流耦合

## 封装外形

本产品使用的封装外形为QFN-32，尺寸为5 mm × 5 mm。(所有尺寸均参考JEDEC标准MO-220 WHHD-5，尺寸不包括模具飞边或突起)



COMMON DIMENSIONS  
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
A3	0.20REF		
b	0.20	0.25	0.30
D	4.90	5.00	5.10
E	4.90	5.00	5.10
D2	3.30	3.40	3.50
E2	3.30	3.40	3.50
e	0.40	0.50	0.60
H	0.35REF		
L	0.30	0.40	0.50

